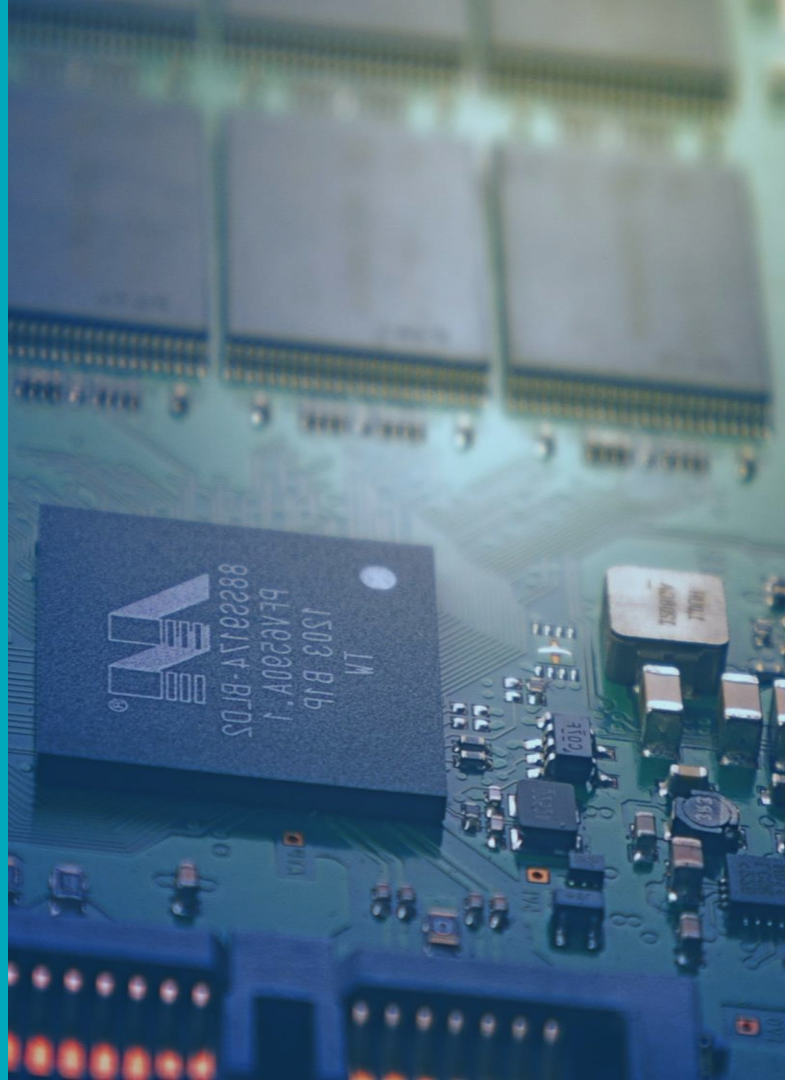


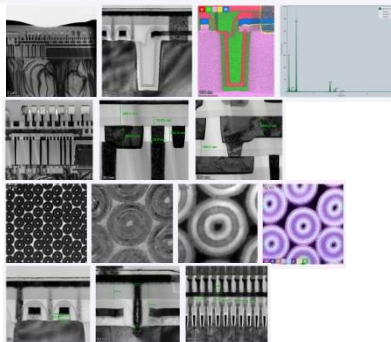
IoT时代的超低功耗 蓝牙设计

冯琪
苏州芯联成软件有限公司



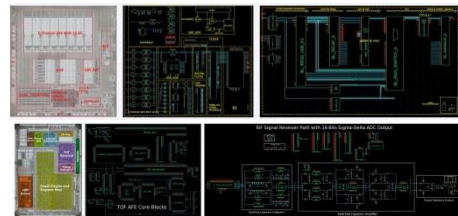
工艺制程分析

- 材料分析 (Material Analysis)
- 结构分析 (Structural Analysis)
- Cell分析 (Cell Analysis)
- 微区分析 (Micro probe Analysis)



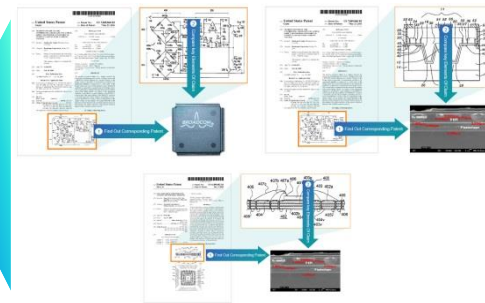
竞争力分析

- 数字电路分析 (Digital Circuit Analysis)
- 模拟电路分析 (Analog Circuit Analysis)
- 存储数据分析 (Stored Data Analysis)
- PCB线路分析 (PCB Circuit Analysis)



专利分析

- 线路设计相关专利 (Circuit design related patents)
- 制程相关专利 (Process related patents)
- 封装相关专利 (Packaging related patents)



低功耗蓝牙(bluetooth low energy,简称BLE) 出现于蓝牙4.0, 适用于实时性要求比较高、功耗要求低(电池供电)、数据速率比较低的产品。特别是蓝牙5.0的推出, 针对物联网 (IoT)应用, 对速度、功耗和有效距离等都做了进一步提升和优化, 使得BLE能够获得更为广泛的应用。

- 移动扩展设备
- 汽车电子设备
- 健康医疗用品 (心跳带、血压计等)
- 定位应用 (室内定位、井下定位等)
- 近距离数据采集 (无线抄表、无线遥测、温湿度传感器等)
- 数据传输 (智能家居室内控制、蓝牙调光、打印机等)

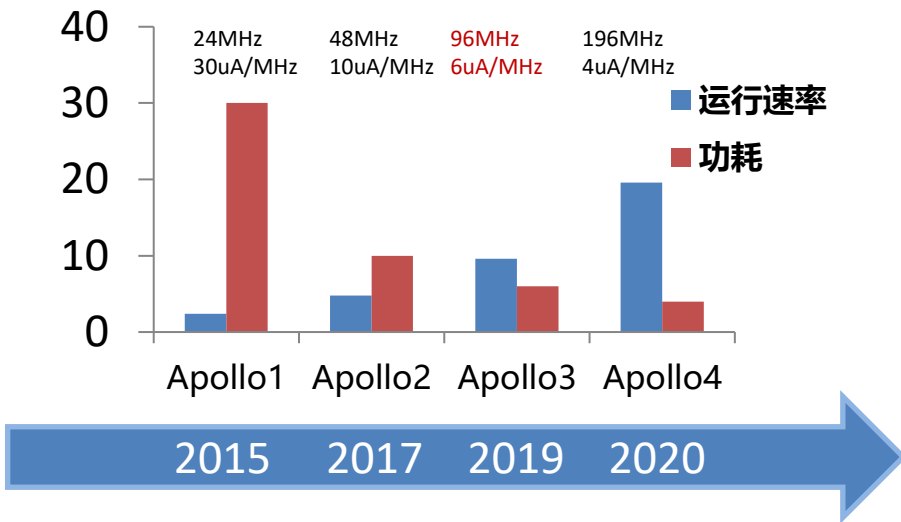
低功耗蓝牙与常规蓝牙的对比：

技术规范	经典蓝牙（BT）	低功耗蓝牙（BLE）
RF频率	2.4GHz	2.4GHz
距离	10米	最大100米
发送数据时间	100ms	<3ms
响应延时	约100ms	6ms
能耗	100%	1%~50%
传输速率	1~3Mb/s	1Mb/s

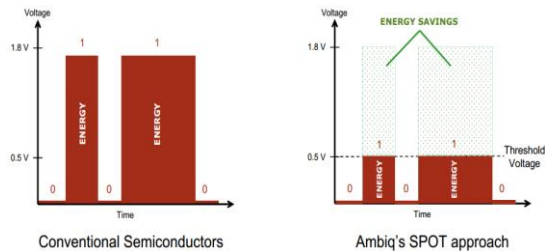
特点总结：低功耗、快速启动、瞬间连接、传输距离大、速率低

Apollo系列芯片是Ambiq Micro公司从2015年开始推出的世界上功耗性能最低的MCU芯片，从第一代发布开始，就在功耗指标上遥遥领先其他所有竞争对手。

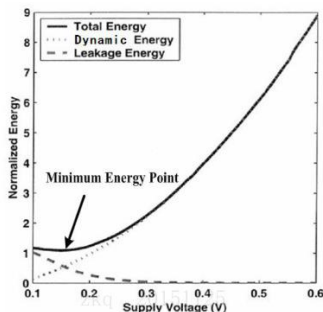
2021年5月统计显示，全球智能主控芯片的出货量上，Ambiq公司位居第四位。



- 采用先进的SPOT技术（亚阈值功率优化技术）对数字内核电路进行优化设计



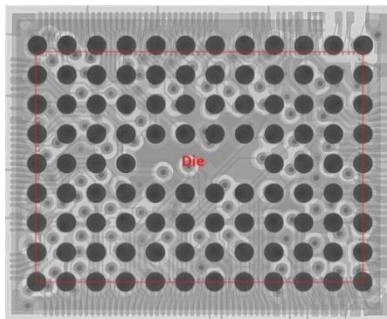
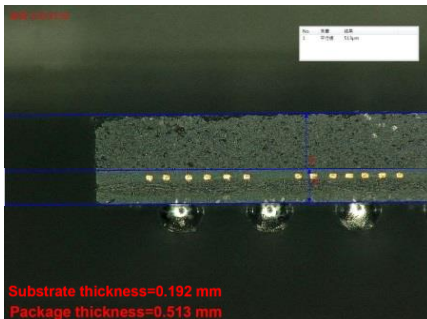
最小能耗理论



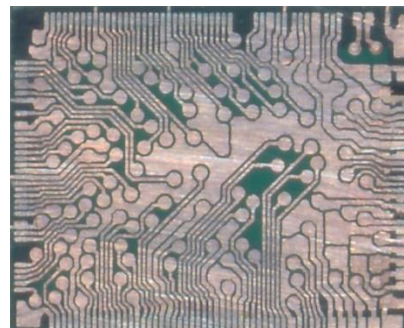
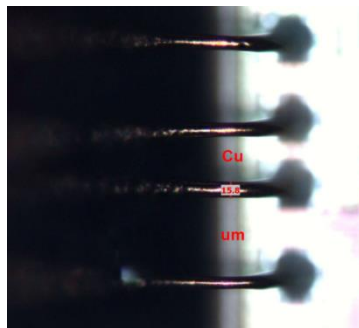
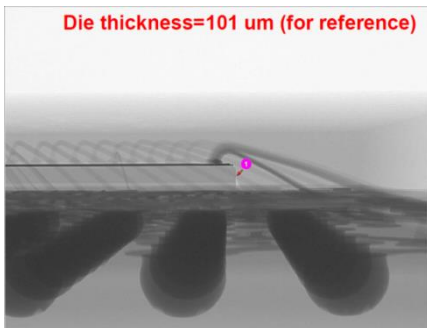
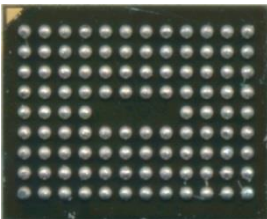
电压 (V)	周期 (ns)	静态功耗 (μW)	动态功耗 (μW)	总功耗 (μW)	总能耗 (ns·mW)
0.33V	2433	0.2	4.01e-3	0.204	0.4963
0.34V	1945	0.258	4.69e-3	0.263	0.5115
0.35V	1681	0.228	7.18e-3	0.235	0.3950
0.36V	1306	0.2296	1.04e-2	0.24	0.3134
0.37V	1120	0.2786	1.08e-2	0.28	0.3136
0.38V	851	0.255	1.07e-2	0.266	0.2263
0.39V	735	0.24	1.9e-2	0.259	0.1911
0.40V	591	0.27	2.7e-2	0.297	0.1755
0.41V	511	0.276	3.08e-2	0.307	0.1569
0.42V	424	0.358	3.678e-2	0.395	0.1674
0.43V	387	0.3559	3.72e-2	0.393	0.1520
0.55V	85	0.43	0.37	0.9	0.0765
0.6V	54	0.497	0.72	1.22	0.0658
0.7V	41	0.646	1.9	2.55	0.1045
0.8V	34	0.92	3.0	3.92	0.1332
1.8V	9.46	3.085	318	321.1	3.0376

- Fabless设计公司，采用第三方Foundry厂的通用工艺，没有特殊器件，模拟电路设计对国内相关设计公司有更强的借鉴学习意义。

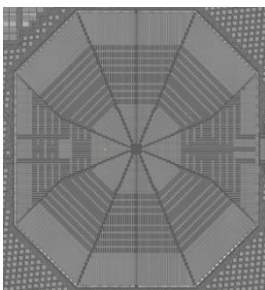
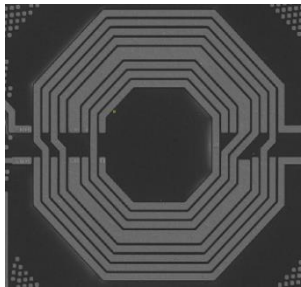
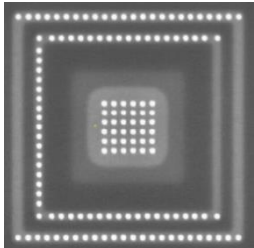
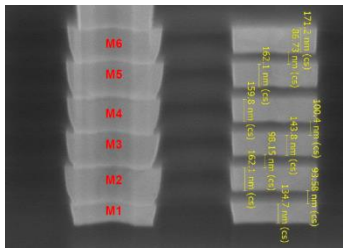
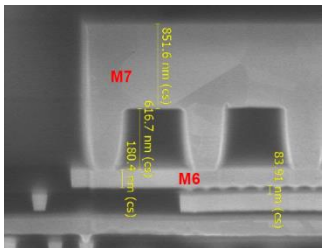
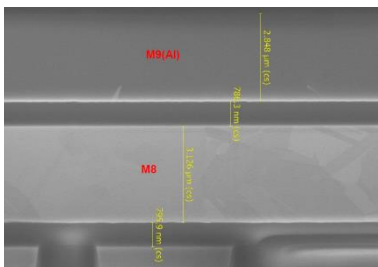
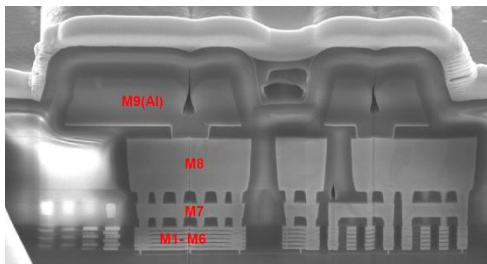
Ambiq Micro Apollo3 Blue Plus



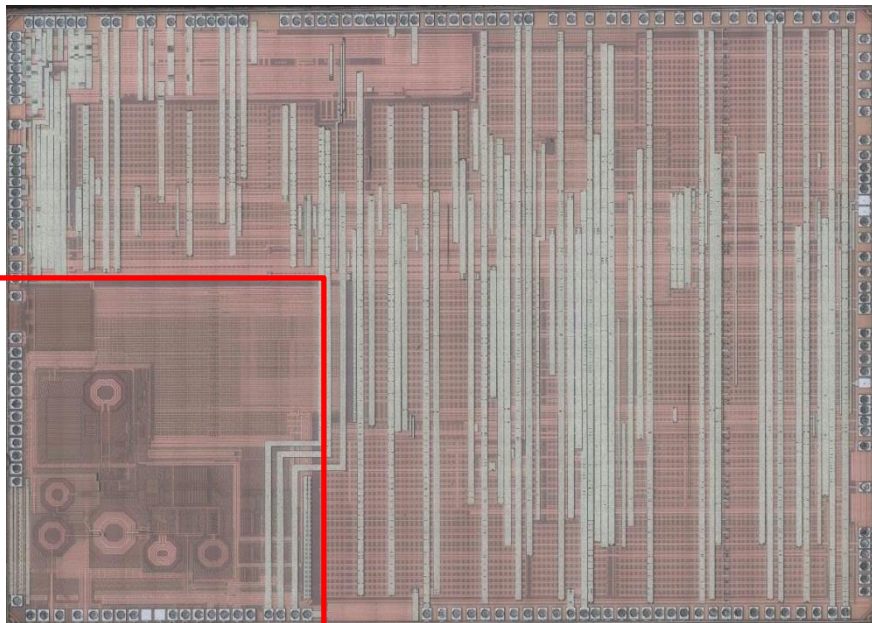
芯片封装的外形尺寸约为5mmX4mm，采用104个引脚(其中74个为GPIO引脚)的BGA封装，封装内9层PCB进行引脚分布。



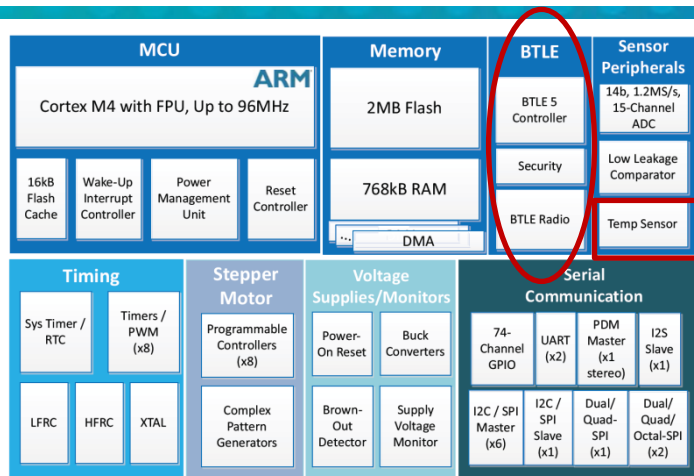
Ambiq Micro Apollo3 Blue Plus



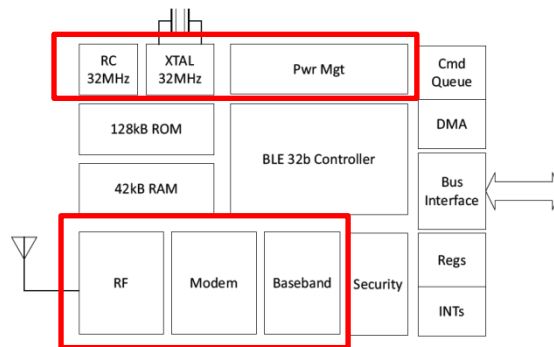
Die Size	4.22mm X 2.98mm
Metal Material	Cu + Al metal
Process Layer	1P8M Cu Metal + 1 Al Top Metal
M9 Thickness	2.848um (min)
M8 Thickness	3.126um (min)
M7 Thickness	851.6nm (min)
M6~M2 Thickness	162.2nm (min)
M1 Thickness	148.2nm (min)
M1 Pitch	193.2nm (min)
Contact Size	50.72nm (max)
Poly Size	45nm (min)
Chip Process	TSMC 40nm 1P9M (8Cu+1Al) CMOS



Apollo3 Blue Plus 顶层概貌图



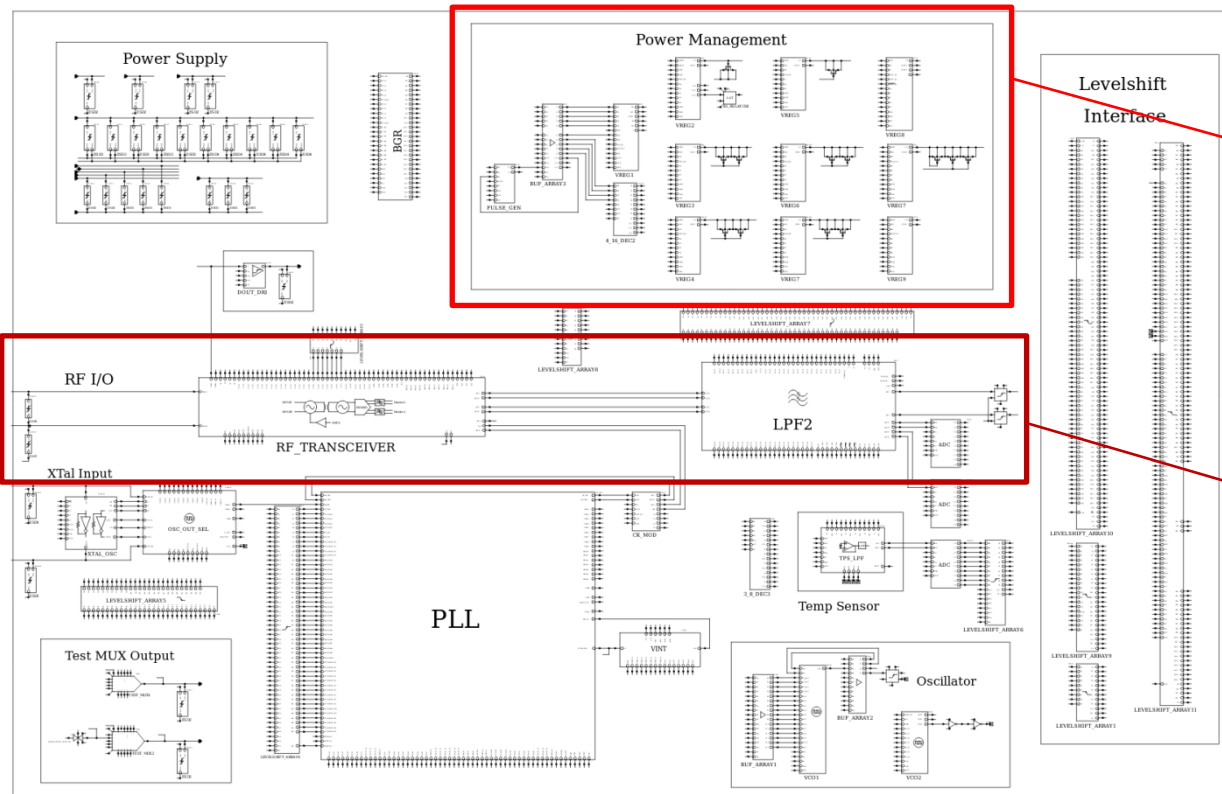
Apollo3 Blue Plus 系统结构图



BLE 模块功能结构图



模块	名称	功能描述
A	RF Transceiver	射频信号收发和解调部分
B	LPF2	两通道，二阶有源低通滤波电路
C	XTAL	外部晶振时钟输入
D	OSC_MUX	内部RC振荡时钟和时钟多路选择输出
E	PLL	锁相环
F	VINT	电压积分器
G	CK_MOD	时钟调制器
H	TPS	温度检测模块
I1,I2,I3	ADC	低功耗SAR ADC
J	BGR	基准模块
K1,K2,K3, K4,K5	LDO	10个LDO电源管理模块

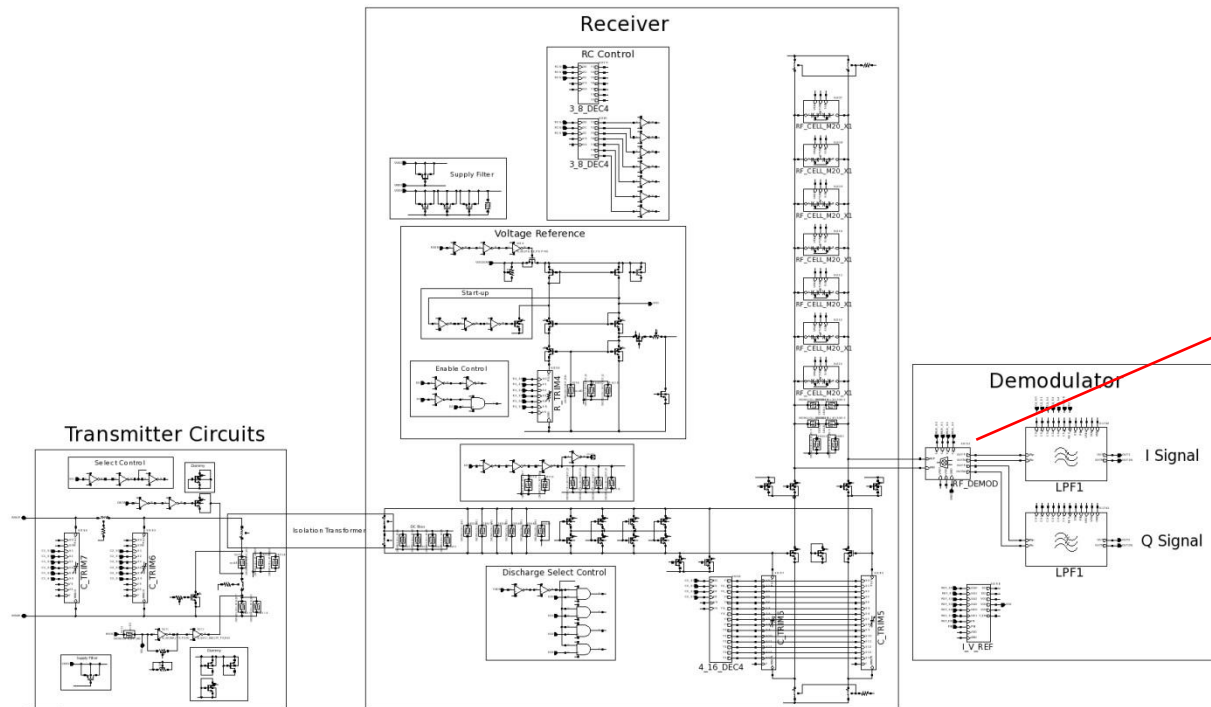


10组以NMOS为调整管的LDO调压器作为整个模组的电源管理核心，各个LDO根据模块需求动态配置和使能，从而降低功耗

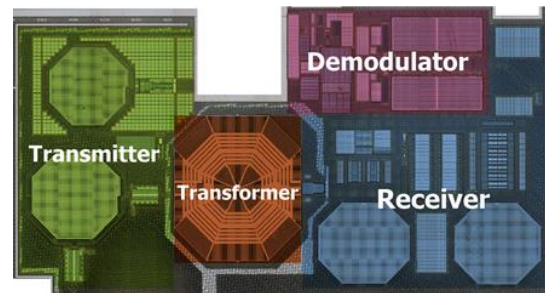
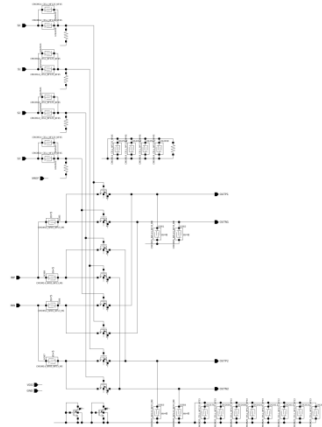
RF收发主通道

BLE模组模拟电路部分顶层原理图

RF Transceiver and Modem Circuits Block



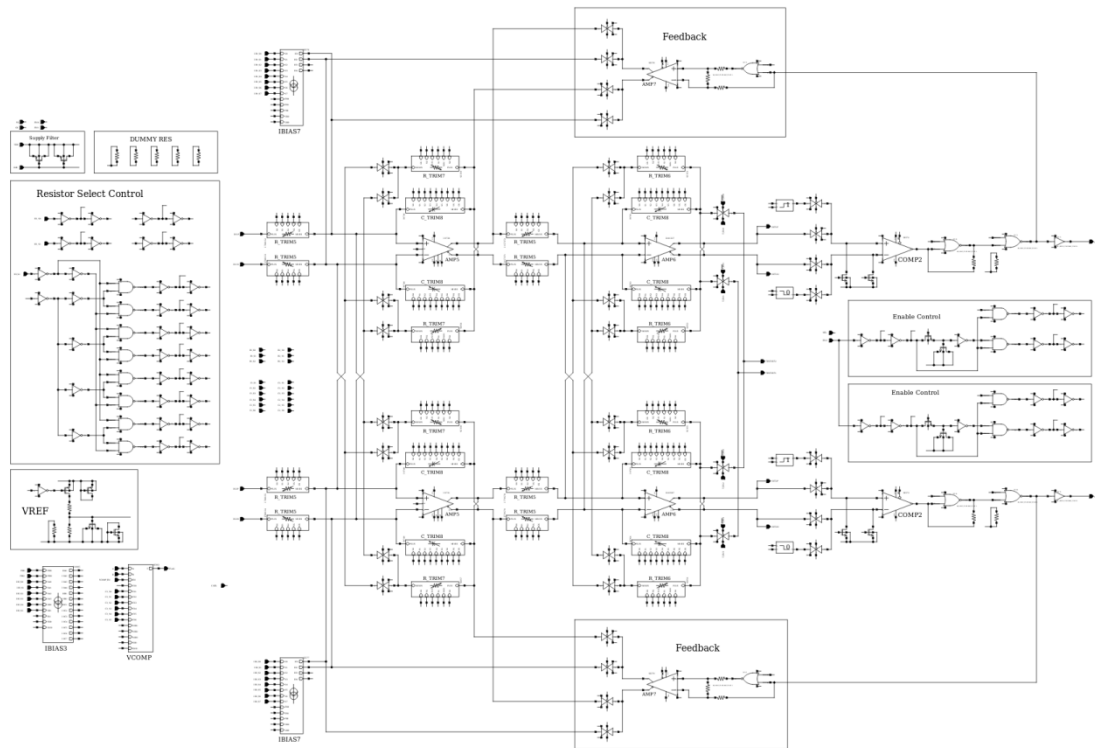
RF Demodulator



RF Transceiver 和 Modem模块电路原理图

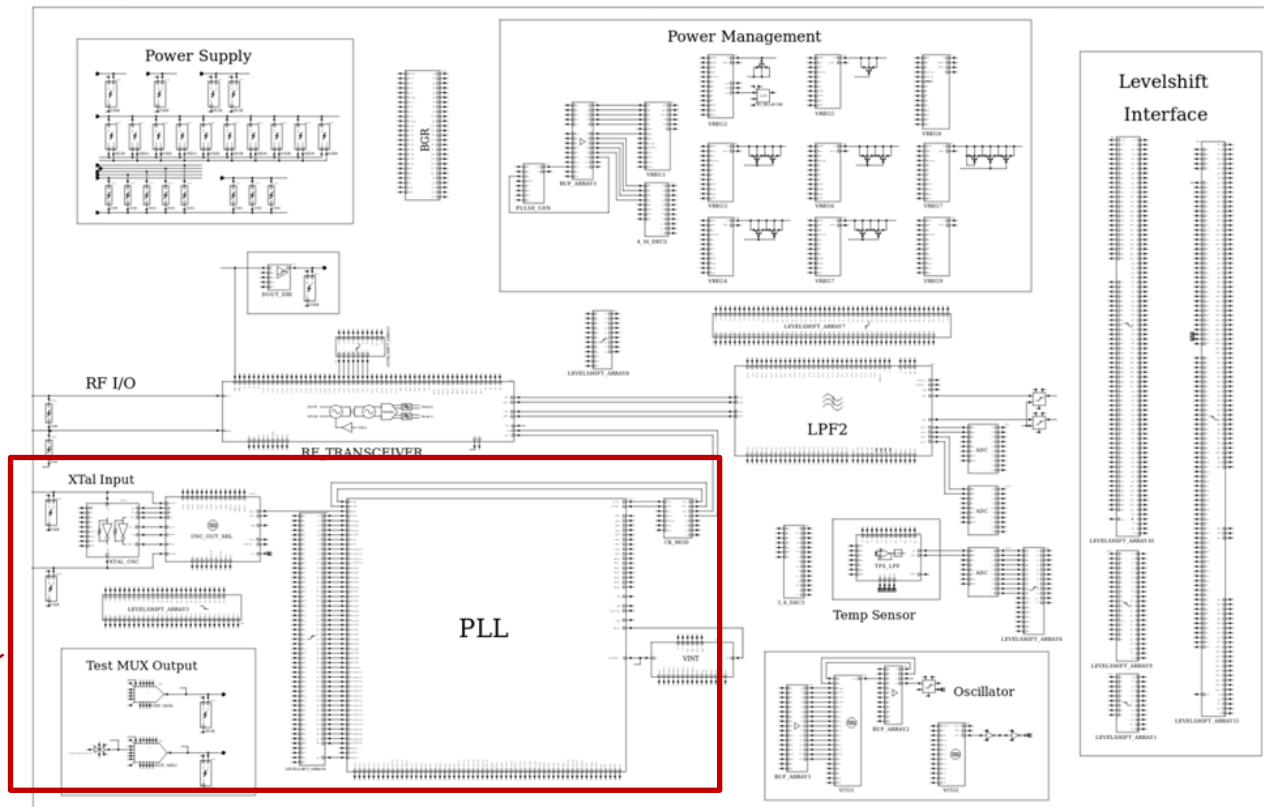
版图布局

Two-Channel Active Second-Order Low-Pass Filter



两通道，二阶LPF电路模块原理图

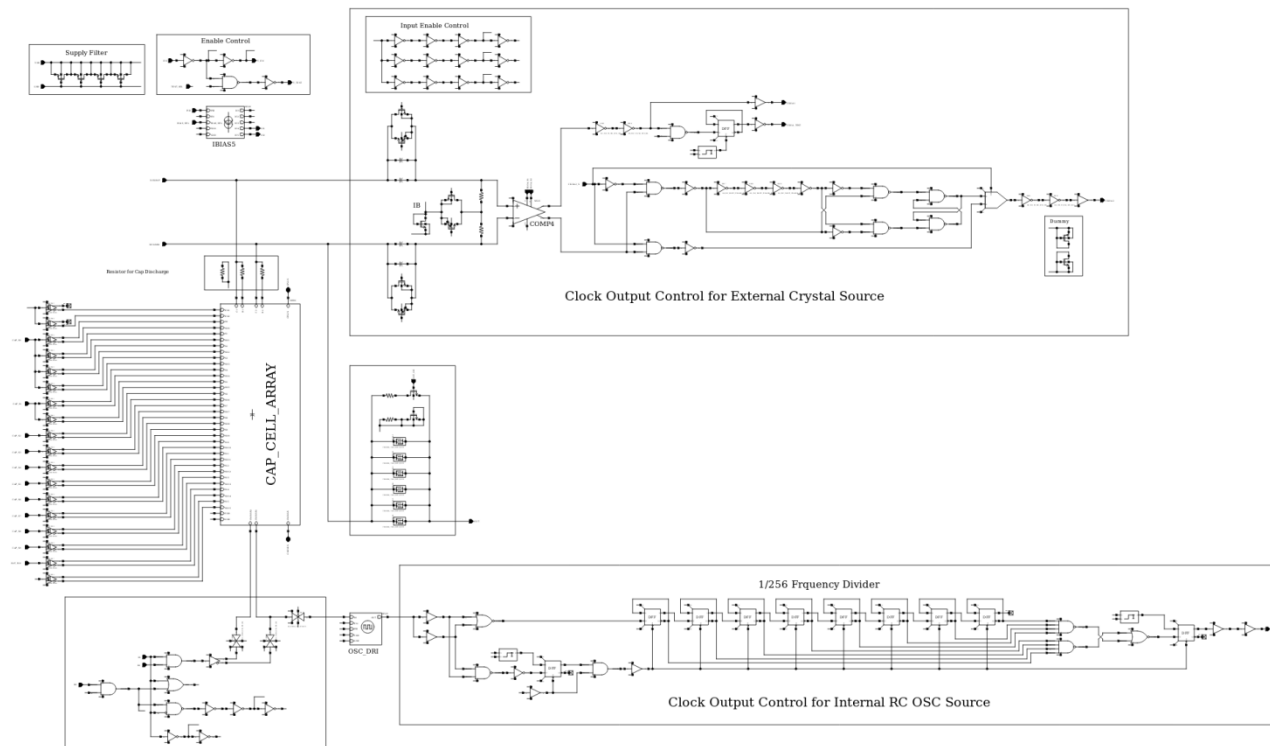




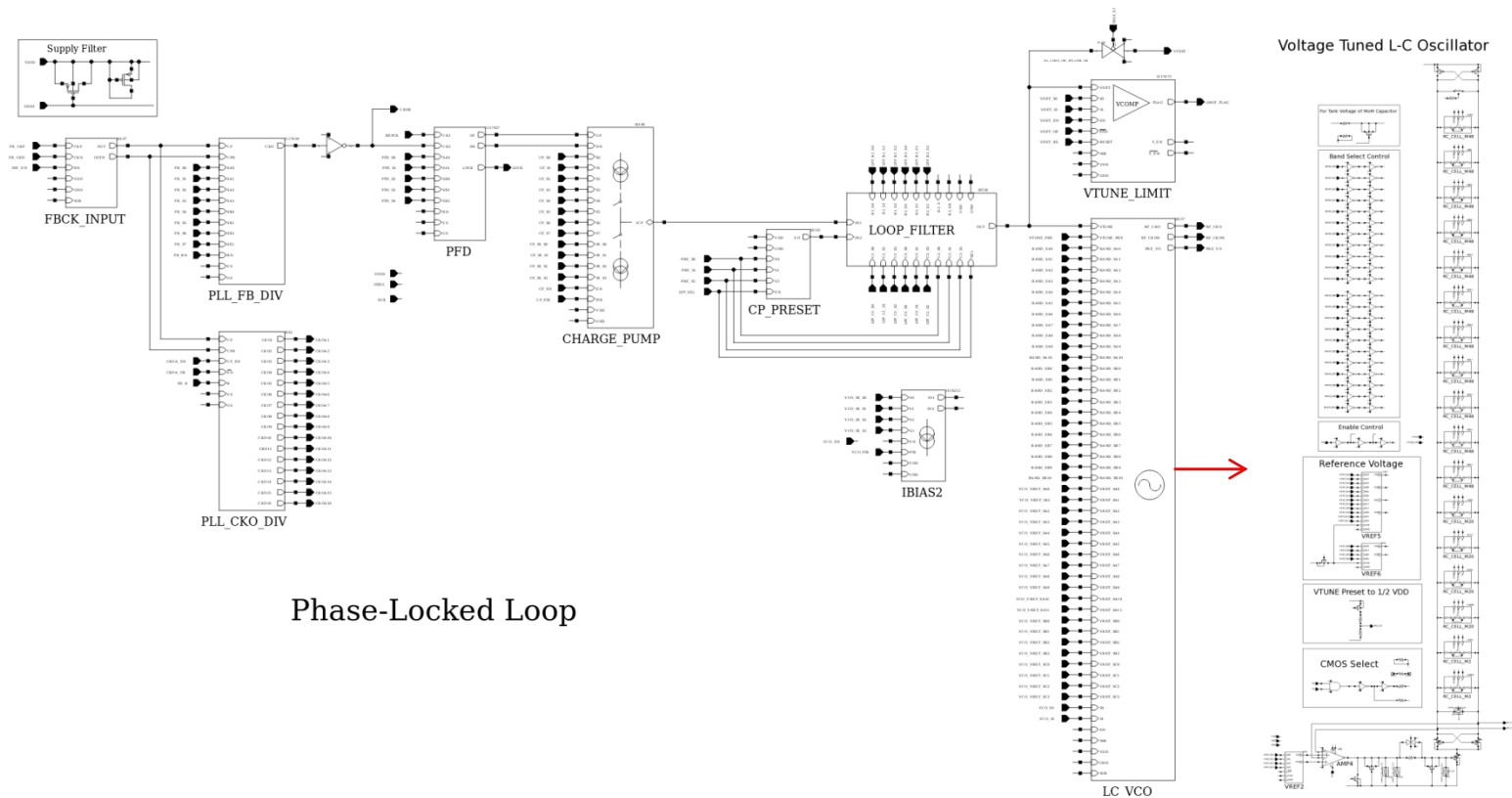
参考时钟控制

BLE模组模拟电路部分顶层原理图

Output Driver Control for 32 MHz Clock



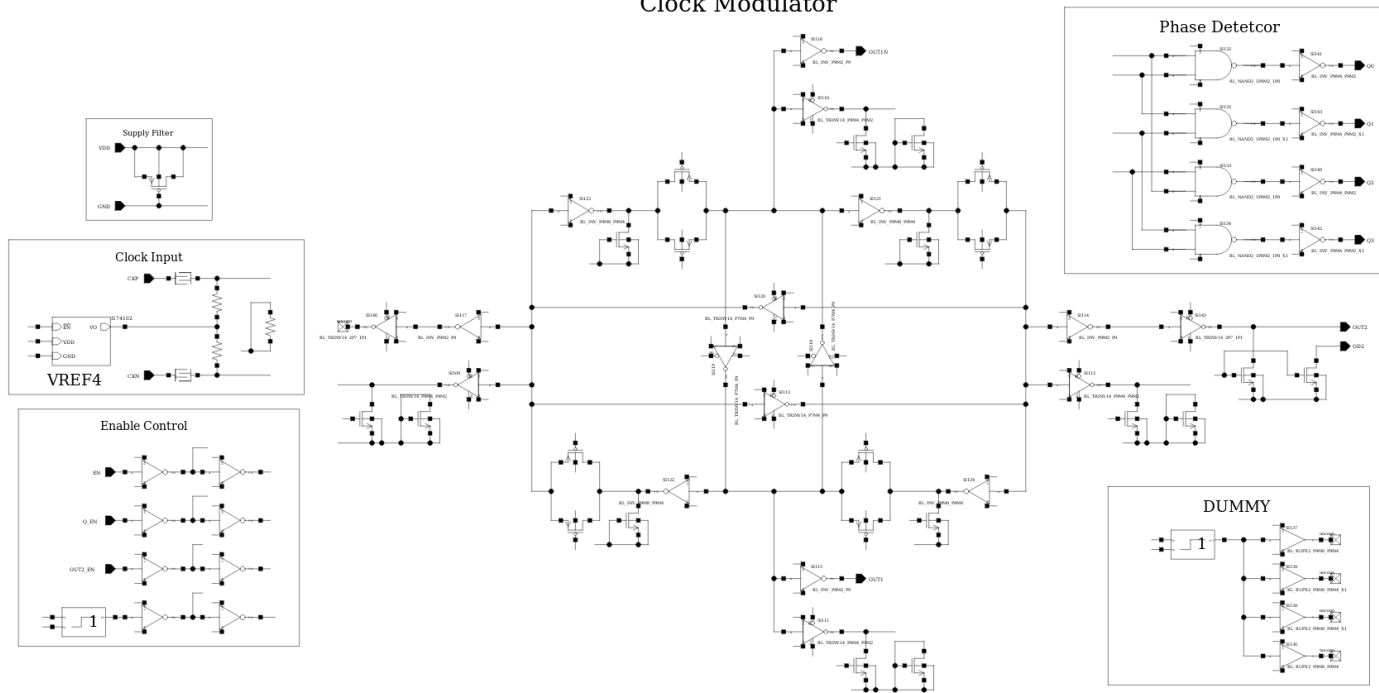
参考时钟源选择输出模块（内部RC振荡器和外部晶振切换）



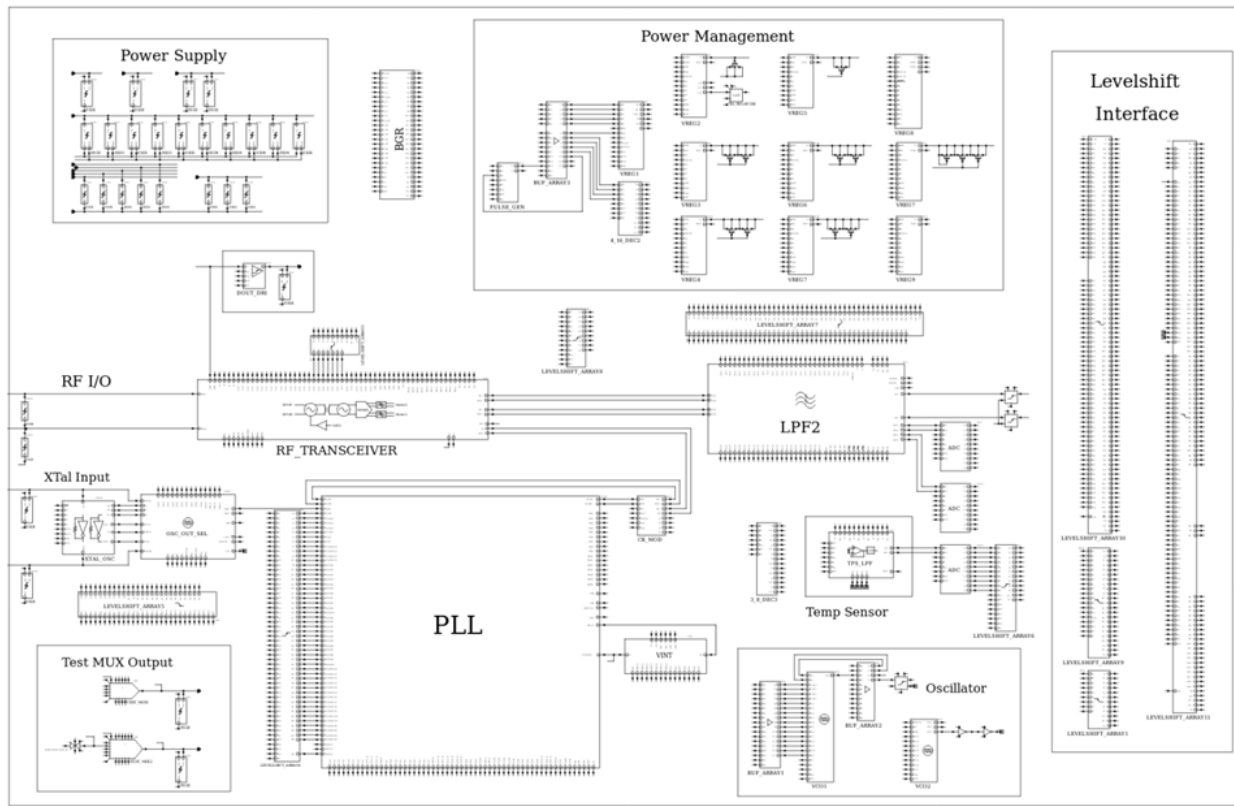
Phase-Locked Loop

锁相环模块电路原理图

Clock Modulator



时钟信号分相调制电路（用于RF信号调制和解调）



BLE模组模拟电路部分顶层原理图

在这个技术革新日新月异的时代，
苏州芯联成软件有限公司与全球领先趋势共同成长！
帮您快速学习，掌握集成电路一线大厂的先进设计理念与成熟解决方案！



SILINTECH

THANK YOU

www.silintech.com