BunnyGS 软件 V1.9.0 版本更新说明

本文档仅限于 BunnyGS 软件的用户使用,未得到苏州芯联成软件有限公司的许可, 不得用于其他目的。

技术支持信息

用户可以通过以下方式获得本公司的技术支持:

- 电话: 0512-87186650
- 企业网址: <u>www.silintech.com</u>
- 技术咨询: support@silintech.com
- 微信二维码:



第一章	BunnyGS 软件 V1.9.0 版本更新说明	. 1
1.1.	优化总线功能	2
	1.1.1. 制作总线	. 2
	1.1.2. 解散总线	. 6
	1.1.3. 重设总线分量管脚次序	. 9
	1.1.4. 总线相关其他操作	11
1.2.	库的管理功能	13
	1.2.1. 创建组合库	13
	1.2.2. 自定义库显示设置	14
1.3.	单元分组功能	17
1.4.	参数化门电路功能	19
1.5.	标记封闭线网功能	21
1.6.	改变层次化颜色	21
1.7.	使用同一种颜色高亮不同线网	22
1.8.	支持显示多个线网关系线	23
1.9.	其他优化功能	25

第一章 BunnyGS 软件 V1.9.0 版本更新说明

BunnyGS 软件 V1.9.0 版本更新如下:

- (1) 支持快速打开和浏览 TB 级芯片图像数据
- (2) 提高芯片图像显示清晰度
- (3) 优化总线功能
- (4) 新增库管理功能
- (5) 新增单元分组功能
- (6) 新增参数化门电路功能
- (7) 标记封闭线网功能
- (8) 支持改变层次化颜色
- (9) 支持使用同一种颜色高亮不同线网
- (10) 支持显示多个线网关系线
- (11) 优化 4K 屏上客户端界面显示问题
- (12) 其他优化功能

1.1. 优化总线功能

总线功能模块包括制作总线、解散总线、调整管脚次序、模块间总线相互传递等。

1.1.1. 制作总线

按如下步骤操作:

(1) 将无序的管脚的位置调整成有序的

软件是根据管脚的 Y 值按照自上而下的顺序命名管脚的,注意不是水平方向。所以要按照自上而下的顺序手动排列管脚位置,如下左图所示。可以结合左对齐 、 右对齐 和垂直等间距 按钮进行整理,如下右图所示。



(2) 有序命名管脚

选中这些管脚,点击菜单"层次化→有序命名选中的管脚",在弹出的对话框上输入"基础名称", 勾选"降序"或"升序",点击"确定"。注意,基础名称不要以数字结尾。



		有序命名线网名称
基础名称	BASE3_QN	不建议总线基础名称以数字结尾.
○ 降序	④ 升序	
◎ 修改1	管脚IO类型	
Inpi	ut 🔿 Output 🔿	inputOutput
□编号		
开始编4	e la	
21 MI-94	. [÷	
矩阵		
🗹 开始	3ÎT	
The	z Type	○ The E Type
记录到文作	# :	浏览

有序命名的管脚如下图所示。

d · ·						BASE3	NO		ONO				
615829						8 N. 1	- 35						
10 50	150	<u>, 65</u>	r/			BASE3	N1	1					
27 24			~				1.						
-30 34	-15 ⁴	9 <u>29</u>	ÓN			BASE3	N2						
18: 12	[·					e e e	-						
P7 .						BASE3	N3						
100.00						* 2 *	-						
10						BASE3	N/4						
3 ,15857							1						
22 14	150	57)	1/			RASES	NS-						
16: 18			\sim				1	iASt					
	15	057	ÓN			DACES	Nic						
÷	340	121				BASES	10	IASE	ONE				
P.7						8.0.0	- 23						
						BASE3	N.		ON7				
7													
						BASE3	18						
15891													
	150	21,	X			BASE3	19		ON9				
- 18 - St						10 I I							
	تلت	191	ÓN			BASE3	10						
10	•					6 6 6	1						
P.7						BASE3	''11						
16.19							1.						
100 - 21						BASE3	12						
10 10							-						
V 22 - 24													
1. St. 15.													

(3) 将普通管脚转换为总线分量管脚

选中有序命名的管脚,点击菜单"总线→选择的普通管脚转换为总线分量管脚"将管脚转换为总 线分量管脚,形如 BASE3_QN<0>、BASE3_QN<1>。

VSILINTECH



(4) 将总线分量管脚转换为总线管脚

选中这些总线分量管脚,点击菜单"总线→选择的总线分量管脚转换为总线管脚"将总线分量管脚转换为总线管脚,形如 BASE3_QN<0:12>,如下图所示。

....., -----

(B) 数子整理 上具(1) 选项(C) 选择的普通管脚转换为总线分量管脚	<u>)</u>) 综合(<u>M</u>) 质量管理(Q) Y) 窗口(<u>W</u>) 帮助(<u>H</u>)] ⊨ ⊣			
选择的总线分量管脚转换为总线管脚 解散选择的总线管脚 选择的总线分量管脚转换为普通管脚 重设选择的总线分量管脚次序	Ctrl+Y Shift+Y		总	线分量转换为总线	线)
更新总线	Ctrl+Alt+Shift+B		MARLE TO O	स्थानेक 🕤 नी लेक	
重命名总线前缀 所有总线分量转换为普通线网 Bundle线网重命名为总线 总线管脚转换		10	息线次序 〇	降序 ● 开序 确定(<u>O</u>)	取消(<u>C</u>)
- 124483 YM	BASE3_C				
		E)E) QRS12			
DG1_DFF50P2_1_P7	BASE3_C	83:E3_QN<2>	ezonn		
15857	BASES C		53_QN<12>		
1167 <u>93 YN</u>	BASE3				
DG1_DFFS0P2_1_P7	BASEB_0	ES QN<1>	ক ৪ ৪ শা বল		
2,15891	BASE3_C	ALES_QN<8>	 	BASE3_QN<0:12> BASE3_UN	QN<0:12>
122197 Y	BASEBLO	ALLS ON<93	noconn 29 0		
DG1_DFF50P2_1_P7	BASE3_0	20 E3_0N<10>			
	BASE3_0	ales_QII<12>	<u>29_0N</u>		

(5) 更新管脚

转换后的总线管脚如下图所示,鼠标右键选择"更新管脚",将总线管脚更新到其他视图。

🚺 SILINTECH



在符号图中,鼠标右键选择"生成符号图"更新符号图,如下图所示。

二 可 単 三	, 뗿 !!= ㅋ ㅠ 班 들 ##
BUS_BASE3(symbol) 💥	BUS_BASE3(symbol) 🕱
	(@instanceName)
(@instanceName]	📮 116764_YN 15829_QN 🔤
	116784_YN
16784_YN	е (16789_YN (5891_QN е
ii (16789_YN 15857_ON d	116793 <u>-</u> YN - A - A - A - A - A - A - A - A - A -
16 735 (Y) 更新容評 Ctrl+Shift+U	119130_YN
生成符号图(Y) 原型符合图	la a la a la a la anti anti anti a la anti
修改符号图… 119148 YW 到房理图	
19255_YY	
	119424 Y
13424_T 13831_0/0	119467_Y
	119881 <u>-</u> Y
20152 Y	■ I20152_Y
ал сала <mark>р (22442,у)</mark> сала са <mark>с</mark> ала са	алаан алаан <mark>на 122442_</mark> YN алаан алаан алаан алаан ал
■ 122455 YBASE3 ON<0:12> ■	122455 YN
122549 YN	■ 122502 YN
[@cellName]	T@cellName1

(6) 在上层单元更新总线

在上层单元,选中实例,点击菜单"总线→更新总线"更新总线,再点击菜单"工具→优化 当前屏连线"将多余的连线优化掉。

🚺 SILINTECH

总线(B) 数字整理	工具(T) 选项(O) 综合(M) 质量	世管理(Q) 窗口(W) 帮助(H)		
选择的普通管脚转 选择的总线分量管 解散选择的总线管 选择的总线分量管 重设选择的总线分量管	 失为总线分量管牌 Y 申转换为总线管牌… Ctrl+Y 申 Shift+Y 申转换为普通管牌 量管牌次序… 			
更新总线	Ctrl+Alt+Shift+	в		
重命名总线前缀 所有总线分量转换 Bundle线两重命名 总线管脚转换	为普通线网 为总线			
÷.	20 	5/183		
	15841, 2N 15841_ON	BASE3_ON<015829_ON		51184
	116764_YN 116764_YN	158245848_ON_	15925. ON CNO	124265_Y124265_Y
	116784 YN 116784 YN	1585/5849_ON	15922_ON CN100	124301_Y124201_Y
	116789 YN 116789 YN	15.89 15857 ON	15921 ON CN200	124420 Y 124420 Y
	116793 XN 116793 XN	15860_0N	15919 CN300	124460_Y124460_Y
	119130 YN 119130 YN	15870_0N	15860 ON HNO	140477 Y 140477 Y
	119147 YN 119147 YN	15873_ON	15849 ON HN1	152245 Y 152245 Y
	119148 YN 119148 YN	15885_QN	15848 AN HN2	152289 Y 152289 Y
	119155 YN 119155 YN	158 <u>88_</u> QN	15904 ON 400	152297 Y 152297 Y
	119395 Y 119395 Y	1588 <u>9_</u> 0N	15889_ON_01(500	152 366 Y 152366 Y
	119424 Y 119424 Y	158 <u>91_</u> 0N	IS888 ON ONEOD	152417 Y 152417 Y
	119467 Y	15904_0N	15885, ON ON700	152478 Y 152478 Y
	119881 Y 119881 Y	15919_ON	15873 ON ONSOO	152994 Y 152094 Y
	120152 Y 120152 Y	15921 ON	15870 ON OUSON	152998 Y
	122442 YN 122442 YN	15922_QN	BUS BASE4	
	122455 YN 122455 YN	15925 ON		
	122502-YN			
	Terestore Interestore In			

总线如下图所示。

	a a e a a a		$x \rightarrow x \rightarrow$
	51183		
	BASE3 QN<0:12>		CI104
116764_YN 116764_YN (5829_QN	15829 ON	SI183_BASE3_QN<0>10	124265_Y
116784_YN 15857_QN	15857_ON	SI183_BASE2_QN<1>(100	124301_Y124301_Y
116789_YN 116789_YN 15891_QN	15891_QN	SI183_BASE3_QN<2>1200	124420_Y
116793_YN 116793_YN		SI183_BASE ON<3>(300	124460_Y. 124460_Y
119130_YN_ 119130_YN		SI183_BASE3_QN<420	140477_Y
		SI183_BASE3_QN<5>1	152245_Y152245_Y
119148 YN 119148 YN		SI183_BASE3_QN<6ALZ	152289_Y
119155_YN 119155_YN		SI183_BASE3_QN<721400	152297_YI52297_Y
119395 <u>Y</u> 119395_Y		SI183_BASE2_ON<8>1500	152366_Y
119424_Y 119424_Y		SI183_BASE300N<221600	152417_Y 152417_Y
119467_Y		SI183_BASE3_ON<10700	152478_Y
11988 <mark>1.</mark> Y 19881_Y		SI183_BASE3_ON<11>800	152994_Y
120152 Y		SI183_BASE3 ON<12 900	152998_Y
122442_YN_122442_YN		BUS_BASE4	
122455_YN 122455_YN			
122502 YN 122502 YN			
122549 YN 122549 YN			
BUS_BASE3			

注意,制作总线后要更新管脚和更新总线。

1.1.2. 解散总线

按如下步骤操作:

(1) 解散总线管脚

在电路图中,选中总线管脚,点击菜单"总线→解散选择的总线管脚"将管脚转换为总线分量管脚。

Interactive Editor: (PBU50419.2:0/BUSC.BASE3/schematic) dig Image: Status Status Status Status Status Status Status Cut+At+Shift+B BASE3 Cut+At+Shift+B BASE3 Cut+At+Shift+B BASE3 Cut+At+Shift+B BASE3 Cut+At+Shift+B BASE3 Cut+At+Shift+B BASE3 Cut+At+Shift+B					
24(1) 24(1) <td< th=""><th>Hier</th><th>rarchy Editor:(PRUS0419-20/RUS-RASE3/schematic) 编辑</th><th>ar as às ias ar</th><th></th><th></th></td<>	Hier	rarchy Editor:(PRUS0419-20/RUS-RASE3/schematic) 编辑	ar as às ias ar		
Image: Status Status Status BASE3_C Status Statu	記載(日) 数学整理 工具(丁) 遠環(Q) 综合(約) 质量号 ▲ 选择的言道管即样换为边线分量管脚 Y		5 <mark>829 2</mark>	BASE3_(BASE3_(≤®ASE3_QN<0> ≤12ASE3_ON<1>
Image: Status BASE3_ \$3\$ <td>选择的总线分量管脚转换为普通管脚 Hierard 重设选择的总线分量管脚次序…</td> <td></td> <td>15829_QN</td> <td>BASE3_(</td> <td>52245E3 ON<2></td>	选择的总线分量管脚转换为普通管脚 Hierard 重设选择的总线分量管脚次序…		15829_QN	BASE3_(52245E3 ON<2>
If a do the first add to the second seco	更新总线 Ctrl+Alt+Shift+B	3		BASE3	<3215E3 ON 23
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12>	重命名总线前缀 所有总线分量转换为普通线网 Bundle线网重命名为总线			BASE3_(SASES_QN<3>
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_QN<12> BASE3_	总线管脚转换			BASE3_(STASES ON<5>
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12>				BASE3_(SBASE3_QN<6>
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<9> BASE3_QN<0:12> BASE3_QN<9> BASE3_QN<0:12> BASE3_QN<10> BASE3_QN<11> BASE3_QN<11> BASE3_QN<12> BASE3_QN<12>			DOCODE	BASE3_(BASE3 QN<7>
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<10> BASE3_Q BASE3_QN<10> BASE3_Q 10> BASE3_Q 10> BASE3_Q 10> BASE3_Q 10> BASE3_Q 10> BASE3_QN<10> BASE3_Q 10> BASE3_QN<10> BASE3_Q 10> BASE3_QN<10> BASE3_QN<10> BASE3_Q 10> BASE3_QN<10> BASE3_QN<10> BASE3_Q 10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10> BASE3_QN<10			5°57 2	BASE3_(SASE3 ON<8>
BASE3_QN<0:12> BASE3_QN<0:12> BASE3_QN<10> BASE3_Q BASE3_QN<11> BASE3_Q 123SE3_QN<12>	BASE3_QN<0:12			BASE3_(SPASE3 ON<9>
BASE3_CT_11ASE3_QN<11> BASE3_CT_12ASE3_QN<12>		ASE3_QN<0:12>	15857_QN	BASE3_C	10ASE3 QN<10>
BASE3_C 13ASE3_ON<12>				BASE3_C	1125F3 ON<11>
				BASE3_C	12ASE3 ON<12>
a the state of a state					
			at es in es at		

(2) 将总线分量管脚转换为普通管脚

选中总线分量管脚,点击菜单"总线→选择的总线分量管脚转换为普通管脚"将总线分量管脚转 换为普通管脚,如下图所示。

Hierarchy Editor:(PBUSU419_20/BUS_BASE3/schematic) 骗稱	80 - 30	s 2 2	16 16 16 16 16 16 16 16 16 16 16 16 16 1	
k(Y) <u>念妹(B)</u> 数字整理 工具(T) 法項(Q) (综合(M) 质量管理(Q) 窗口(W) 帮助(H)				
▲ 选择的普通管脚转换为总线分量管脚 Y 区 □ 选择的总线分量管脚转换为总线管脚 Ctrl+Y				
ilerart 重设选择的总线分量管理转换为普通管理 重设选择的总线分量管理次序		BASE3	NODACES ONO	
58 更新总线 Ctrl+Alt+Shift+B Ctrl+Alt+Shift+Shift+B Ctrl+Alt+Shift+B Ctrl+Alt+Shift+B Ctrl+Alt+Shift+B Ctrl+Alt+Shift+Shift+B Ctrl+Alt+Shift+B Ctrl+Alt+Shift+B Ctrl+Alt+Shift+B Ct			BASE3_QNU	
重命名总统前缀		BASE3	Pases on1	
BundletkRitteration BASE3_C BASE3_ON <o></o>		BASES		
BASE3 (STRATES ON STRATES		DASL	PASE3_QN2	
		BASE3	3RASE3 ON3	
Carta April Bases_Carta April 28		DACES		
BASE3 CASE3 ON<3>		BASES	PBASE3_QN4	
P7		BASE3	N5RASER ONS	
BADE3_QN<4>		DACED	DAJLS_QIIS	
BASE3_0SASE3_QN<5>		BASE	BASE3_QN6	
BASE3 CER ONLESS		BASE3	N7DACE2 ONT	
5857 DAGED (N C)			DAJLJ_QN7	
BASE3_C1BASE3_QN<7>		BASE <u>3</u>	BASE3 QN8	
BASE3_C BASE3_		BASE3	N9PACE2 ONIO	
BASE3			BASES_QN9	
BASES_SADE3_QN<9>		BASE3	18ASE3 ON10	
COLLERST ON BASE3 Q LEASES ON<10>		BASES	liberra outr	
BASE3 C LASCER ON SITE		DADE	BASE3_QNII	
P7		BASE3_	123ASE3 ON12	
BASE3_QRASE3_QN<12>			- GHILD _ GHILL	

(3) 更新管脚

鼠标右键选择"更新管脚",将管脚更新到其他视图。在符号图中,鼠标右键选择"生成符号图" 更新符号图。

				P .		. =		
				X	BUS_BASE3(symbol) 💥	L		
BASE3	NBASE3 ONO							*******
BASE3	NBASER ONI			*				[@instanceName]
DACES	DASES_QNI					13041_QM		10 <u> </u>
BASE3	BASE3_QN2					116764_YN		• <mark>-</mark> • • • • • • • •
BASE3	N3ASE3 ON3	选中实例到线网关系窗口	Ctrl+Alt+Shift+P			116784_YN		
BACED	NA	所有管押到线网关系窗口 选中图元到子电路	Ctrl+Alt+P Ctrl+Alt+Shift+C			116789_YN		e 🕇 e e e e e e e e
DASLS	BASE3_QN4	遗中的图元转换为宏单元		÷		116793_YN		— <mark>—</mark> ——————————————————————————————————
BASE3	BASE3 ON5	原地编辑(P)				119130_YN		
BASES	NEWSTR	退出到上层(<u>R</u>) 0前时(E)	Ctrl+E Shift+E			119147_YN		a a a a a a a
	BASE3_QNO	编辑(8尺读)	E					
BASE3	BASE3 QN7	搜索宏单元	Ctrl+Alt+[119155_YN		
BASE3	N8ASER ONR	选中的图元作为模板搜索 选中的图元作为模板搜索设置	r			119395_Y		<u></u>
DACES	DASES_QNO	下一个相关电路				119424 Y		
DASES	BASE3_QN9	前一个相关电路				119467 Y		a <mark>-</mark> 414 414 414 414 414
BASE3	VIBASE3 ON10	打开子电路 使用其他电路图的布局				119881 Y		
RASES		更新管牌	Ctrl+Shift+U			120152 Y	15820 01	a 🚺 a a ar a a ar a
DAJLJ	BASE3_QN11	生成符号图(义)				120152 1	ISPET ON	
BASE <u>3</u>	12ASE3 ON12	新政(<u>F</u>)	Ctrl+I			122442_TN		
6 6 <mark>6</mark>		树形显示线网信息	т	5 E		122455_YN		an <mark>e</mark> fat a la l
		高亮选中图元的线网 到标注视图	В			122502_YN		
		到符号图				122549_YN		
				* -		[@cellName]		

(4) 更新总线

在上层单元,选中实例,点击菜单"总线→更新总线"。

<mark>总线(<u>B)</u> 数字整理 工具(<u>T</u>) 选巧</mark>	页(<u>O</u>) 综合(<u>M</u>)	质量管理(Q) 窗口(W)	帮助(<u>H</u>)				_
选择的普通管脚转换为总线分量管则 选择的总线分量管脚转换为总线管则 解散选择的总线管脚 选择的总线分量管脚转换为普通管则 重设选择的总线分量管脚次序	脚 Y 脚 Ctrl+Y Shift+Y 脚	K Hereit					
更新总线	Ctrl+Alt+	Shift+B					
重命名总线前缀 所有总线分量转换为普通线网 Bundle线网重命名为总线 总线管脚转换							
		1	R.	51183			
	i i	15841_0N 15841_ON		\$1183"BASE3 QN<0:12>		51184	
		1167 <u>64</u> 2YN 11.6754_YN		15829_QN	SI183_BASE3_ON<0>10	124265_Y	
		1167 <u>84 YN</u> 116784 YN		I58 <u>57_</u> QN	SI183_BASE3_ON<1>(100	124301_Y	
		116789 YN 116789 YN		I58 <u>91_</u> QN	SI183_BASE3_ON<2>1200	124420_Y	
		1167 <u>93</u> 21N 116793_YN			SI183_BASE3_ON<3>300	124460_Y	
		119130_YN 119130_YN			SI183_BASE3_ON<4>	_140477_Y	
		119147_YN 19147_YN			SI183_BASE3_ON<5>	I52245_Y	
		119148 YN 119148 YN			SI183_BASE3_ON<6>C	_152289_Y	
		119155_YN 19155_YN			SI183_BASE3_ON<7>400	152297_Y	
		119395 Y 119395 Y			SI183_BASE3_ON<8>500	152266_Y	
		119424 Y			SI183_BASE3_ON<9>1600	152417_Y	
		119467 Y 19467 Y			SI183_BASE3_ON<102700	152478_Y	
		119881_Y			SI183_BASE3_QN<11>300	_152094_Y	
		120152 Y 120152 Y			SI183_BASE3_QN<12>000	152998_Y	
		122442 YN 122442 YN			BU5_BASE4		
		122455 YN 122455 YN		·			
		122502 YN 122502 YN					
		122549 YN 122549 YN					
		BUS BASE					

结果如下图所示。

<u>■ # 世 23 章 Ⅲ</u>		
BUS_CONTROL(schematic) Hierarchy 🕱		
са и и и и и и и и и и и и и и и и и и и		
15841.QN 15841.QN BASE3_QN\$1183 BASE3_QN<0>	<u></u>	SI184
116764_YN BASE3_QN\$183_BAEE3_QN<1>	SI183_BASE3_ON <q>NO</q>	124265_Y
	SI183_BASE?_ON<121100	124301_Y. 124301_Y
116789_YN 116789_YN BASE3_QN51183_BASE3_QN<3>	SI183_BASE3_ON<22N200	124420_Y
	SI183_BASE3_QN<32N300	124460 Y. 124460 Y
119130_YN 19130_YN BASE3_Q\\$183_BASE3_QN<5>	SI183_BASE3_ON<420	140477_Y
	SI183_BASE3_ON<5>N1	152245_Y152 <mark>2</mark> 45_Y
119148_YN BASE3_QN\$183_BASE3_QN<7>	SI183_BASE3_ON<67N2	152289_Y
	. SI183_BASE3_ON≤7≷N400	152297_Y152297_Y .
119395_Y 119395_Y BASE3_Q\%183_BASE3_ON<9>	SI183_BASE3_ON<83N500	152366_Y
	. SI183_BASE3_QN≤9≩N600.	152417_Y152417_Y
119467_Y 119467_Y BASE3_QN 51188 BASE3_QN <11>	SI183_BASE3_QN≤107,700	152478_Y
	SI183_BASE3_QN<13>800	152994_Y
120152_Y 120152_Y 15829_QN 15829_QN	SI183_BASE3_QN<1271900	152998_Y
	BUS <u>BASE4</u>	
122455_YN 15891_ON 15891_ON		
122502_YN 122502_YN		
122549_XN 122549_YN		
BU5_BASE3		

注意,解散总线后要更新管脚和更新总线。

1.1.3. 重设总线分量管脚次序

在对多个单元制作总线时,可能会出现下图所示的情况。BUS_BASE4单元的总线为 BASE4_IN<0:12>,而BUS_BASE3单元标红的总线为:SI184_BASE4_IN[1],SI184_BASE4_IN[0], SI184_BASE4_IN[2],SI184_BASE4_IN[3],SI184_BASE4_IN[4]......SI184_BASE4_IN[12]

 	* * * * * *	*	•	 		-	*		а 19	*	3	*	*	*	•	-1 181	*	æ :			*	-		80 0 80 0	-	• •		
						511	83																					
15841_ <mark>_N</mark>																									s	1184		
1167 <u>64 XN</u>						15	8 ² 9	<u>Ó</u> N	E.			SII	.84	BAS	E4	IN<	0:12	BAS							F	12426	<u>5 Y</u>	
. 1167 <u>84 YN</u>						15	857	_01	Ι.,																	12420	1_Y	
1167 <u>89 YN</u>						15	891	_QI	1																	12442	0_Y	
1167 <u>93 YN</u>						-																				12446	<u>0 Y</u>	
1191 <u>30 YN</u>						12																				14047	Z_Y	
1191 <u>47 YN</u>						120																				15224	<u>5 Y</u>	
1191 <u>48 YN</u>						100 100																				15228	<u>9 Y</u>	
1191 <u>55 YN</u>						30																				15229	Ζ.Υ	
119 <u>395</u> Y						181																				15226	<u>6 Y</u>	
. 119 <u>424 Y</u>						20																				15241	<u>7_</u> Y	
119 <u>467</u> Y																										15247	<u>8_</u> Y	
																										15209	<u>4_</u> Y	
120 <u>152 Y</u>						185 186																				15209	<u>8</u> Y	
122442 YN						98).												305	BA	SE4								
1224 <u>55 YN</u>						140																						
122502 YN						120																						
1225 <u>49 YN</u>						2																						
e de las las las las	BUS_BASE3																											

原因是 BASE3_QN<1>与 BASE4_IN<0>有线网连接关系, BASE3_QN<0>与 BASE4_IN<1>有线网连接 关系。BASE3_QN 与 BASE4_IN 的管脚顺序不一致。这种情况可以先解散总线管脚, 然后重设总线分量 管脚次序, 最后再重新制作总线。

(1) 解散总线管脚

选中总线管脚,点击菜单"总线→解散选择的总线管脚",解散后的管脚如下图所示。



(2) 重设总线分量管脚次序

SILINTECH

按左下图所示移动调整管脚位置,选中这些总线分量管脚,点击菜单"总线→重设选择的总线分 量管脚次序"。

		Hierarchy Editor:(PBUS0419_:
	:化(Y) 総規(B) 数字整理 工具(T) 送損(Q) 連择的普通管理转换为总线分量管理 Y	综合(M) 质量管理(Q) 窗口(W) 帮助(H)
	△ 这样的总线分量管理转换为总线管理 C 解散选择的总线分量管理转换为总线管理 C	tri+Y and the second se
	SE3(sc 年初年後後人主要の時代後人主要の時代後人主要の時代後人主要の時代後人主要の時代後人主要の時代後人主要の時代人主要の意义の意义の主要の意义の意义の意义の主要の意义の意义の意义の意义の意义の意义の意义の意义の意义の意义の意义の意义の意义の	
BASE3_QN<1>	更新总线 C	trl+Alt+Shift+B
a k k 🖕 k k k k k k k k	重命名总线前缀	d = -b - d = -bbbbbb
BASE3_QN<0>	別の記念が単行使力量の同一 Bundle就問題命名为总统	
	应现合即转换	
BASES ON-25	e e e e e e e	BASE3 QN<1>
	5 K	
BASE3_QN<3>	a a a a a a a a	BASE3_QN<0>
BASE3 ON<4>		
PASES ON-55	* *	BASE3_QN<2>
	8	BASE3_QN<3>
BASE3_QN<6>		BASE3_QN<4>
BASE3 QN<7>		BASE3_QN<5>
BASES ON-85	k s	BASE3 QN<6>
	e a cara a	BASE3 QN<7>
BASE3_QN<9>		BASE3 ON<8>
BASE3 QN<10>		BASE3 ON<9>
BASES ON<11>	a na a la	BASE3 ON<10>
	a a.	BASE3 ON<11>
BASE3_QN<12>	a a a a a a a a a a a	BASES ON-12>
	e a a la la la	DAJEJ_QN<12>
	e e e e e e e	

在对话框上指定"总线次序",点击"确定",调整后的总线分量管脚如下图所示。

	BASE3_QN<0> BASE3_QN<1>
重设总线分量次序 ×	BASE3_QN<2> BASE3_QN<3>
原总线前缀名 BASE3_QN	BASE3_QN<4> BASE3_QN<5>
总线次序 ○ 降序 ● 升序	BASE3_QN<6> BASE3_QN<7> BASE3_QN<7>
	BASES_QN<8> BASE3_QN<9> BASE3_QN<10>
	BASE3_QN<11> BASE3_ON<11> BASE3_ON<12>

(3) 重新制作总线

按照 1.1.1 小节的步骤,将 BASE3_QN<0>,BASE3_QN<1>.....BASE3_QN<12>重新转换为总线管脚, 再更新管脚、生成符号图、更新总线,重新制作的总线如下图所示。

8 - 26 -																																	
ं ंग																																	
8																																	
5 3							5018	ASI	83		< 0.1	25	-i																				
21 32	15841_ <mark>_N</mark>	15841EQN											-																613	0.4			
- 16 - 1	1167 <u>64 YN</u>							1	5829	<u>Q</u> N	V			SI:	184	BAS	SE4	IN<	0:1	2>	4	IN	<0:	12>	Č	242	65	Y	-511	184 2426	<u>5_</u> Y		
	1167 <u>84 YN</u>	116784_9						1	5857																					2430	1_Y		
: 4. :: 4	1167 <u>89 YN</u>	116789_Y							5801		Ņ																		_1	2442	<u>0 Y</u>		
	1167 <u>93 YN</u>	116793_1																												24 <u>4</u> 6	<u>0 Y</u>		
	1191 <u>30 YN</u>	119130_Y																											1	40 4 2	<u>7</u> Y		
	119147 <mark>_YN</mark>																													5224	<u>5 Y</u>		
	1191 <u>48 YN</u>	119148_1																												52 <mark>78</mark>	<u>9 Y</u>		
e	1191 <u>55 YN</u>																													52 <mark>2</mark> 9	<u>7_</u> Y		
	119 <u>395</u> Y	119395_Y																											-18	52 <u>26</u>	<u>6 Y</u>		
e 12	119 <u>424 Y</u>	119424_¥																												5241	<u>7_</u> Y		
	119 <u>467 Y</u>																												1	5247	<u>8_</u> Y		
8 3	. 119 <u>881 Y</u>	119881_¥																											_1	5209	<u>4 Y</u>		
	120 <u>152 Y</u>																												-1	5209	<u>8 Y</u>		
	. 1224 <u>42 YN</u>	122442_X																	Ē	BUS	_B/	SE	4										
5 3 	1224 <u>55 YN</u>																																
en de	1225 <u>02, XN</u>	122502_11																															
	1225 <u>49 XN</u>	122549_Y																															
5 32		BUS_BASE	3																														
8 31 S																																	

1.1.4. 总线相关其他操作

(1) 将总线分量线网转换为普通线网的操作为:点击菜单"总线→总线分量线网转换为普通线网",将选中的线网或指定总线分量前缀的线网转换为普通线网。

 2) 2000日 2000日 2000日	8年(Q) 综合(M) 反量管理(Q) 窗口() 管師 Y 図 愛師 . Ctrl+Y 図 ここ Shift+Y 愛師	<u>89</u> 約8(円)					
更新总线	Ctrl+Alt+Shift+B	SI183					
重命名总线前缀 所有总线分量转换为普通线网] 1764_YN	BASE3_QISI183_BASE3_QN<1>	SI183_BASELONSONO	S1184 124265_Y124265_Y	总线分量线	K网转换为 普	通线网 >
Bundle线网重命名为总线	784_YN	BASE3_OISUB8 BASE3_ON<2>	SI183_BASE3_CN<12N100	124301_Y			
The R Intel Deve	1789_11	BASE3_CISUITA BASE3_ON<3>	SI183_BASE2_ONE221200	124420_Y			
20 - D	116793 N (16793 YN	· BASE3_QISISB3_BASE3_QN<4>	SI183_BASET_ON-CIPHIOD	124460_Y	台建八星台柳		
	119130 VN (19130 VN	BASE3_OIS183_BASE3_ON<5>	SI183_BASE3_ON SAMO	140477_Y	尼纸万里削级		
	19147 W (19147 YN	BASED OF THE BASEL ON <6>	SI183_BASE3_ON<5	152245_Y			
	119148 N (19148 YN	BASE3_OFS183_BASE3_ON<7>	SI183_BASE3_ON<5	152289_Y	仅洗中的线网		
	119155 WN 119135 YN	BASE3_CINES BASES ON<8>	SI183_BASE3_ON<	152297_YI52297_Y			
	119395_Y	BASE3_CIEL BASE3_ON<9>	SI183_BASE3_ON_BONSOO	152366_Y	-		
	19424_Y	BASES ON SUB BASES ON <10>	SI183_BASE3_01<230000	152417_Y52612_Y	(interface)	1 mm/45	m whiteh
	119467_Y119467_Y	BASE3 OHEIJ81 BY ESTON<11>	SI183_BASE3_ON \$1080700	152478_Y	确定(0)	应用(<u>A</u>)	取消(<u>C</u>)
	119881_Y119881_Y	BASES ON SHEEL BASES ON <12>	SI183_BASE3_ON<132/800	152994_Y			
	120152_Y 20152_Y	15829_ON_15829_ON	SHEB BASE ANS 122 1900	152938 Y 152938 Y			
	122442 2N (27442 YN	6857_QN 15857_QN					
*C 102	122455 N 122455 YN	15891_ON _15881_ON					
	122502 YN 122502 YN						
	122549 N 122549 YN						
	REASON AND A						

(2) 模块间总线相互传递

在上层单元,选中实例,点击菜单"层次化→使用外部线网命名实例管脚名",可以将线网名传 递到管脚。

在上层单元,选中实例,点击菜单"层次化→使用实例管脚命名外部线网",可以将管脚名传递 到线网。



🚺 SILINTECH

1.2. 库的管理功能

当 designserver 服务器上项目库的数量较多时,项目库在库管理界面以列表形式显示,没有层次 结构。项目经理或管理人员在查看某一类特性项目时,查找极不方便。

BunnyGS 新增了项目库分类显示功能,库管理器允许您对多个库进行分组或嵌套显示。组合库是由其他库组成的虚拟库,数据未进行物理移动或复制,它们只是以合并形式显示在组合库下。



组合库以树形显示。库名称旁边的"+"图标表示它是一个组合库,并在其下具有层次结构。双 击组合库或单击"+"图标可显示它包含的库。请注意,组成组合库的各个库不会显示在顶层,它们 仅显示在组合库下。

1.2.1. 创建组合库

组合库是通过在 libcombine.defs 文件中设置带有组合属性的 ASSIGN 语句创建的,软件支持通过 INCLUDE 语句引用其他 defs 文件。如下图所示。

➢ libcombine.defs (/develop/works/designserver/branches/1.6.0/projects) - gedit _ □ × File Edit View Search Tools Documents Help	📸 libcombine_bustest.defs (/develop/works/designserver/branch/ _ 🗆 × File Edit View Search Tools Documents Help
💁 🔄 Open 🗸 💩 Save 🚔 🥎 Undo 🖉 💥 🌗 🖺 🏟 🍂	🎴 🔤 Open 🗸 🎂 Save 🚔 🥱 Undo 🖉 🕌 😭 🗸 🗸
libcombine.defs 🗶	libcombine_bustest.defs 💥
//DG ASIGN PAQ1312Libs COMBINE PAQ1312 DG 0706 PAQ1312 DEVICES PAQ1312 0706 PAQ1312 SRAM 0706 PAQ1312 DG KKKK PAQ1312 DG KKKK SUBLIB PAQ1312 TTT PAQ1312 VVV PAQ1312 DG 0706 SUBLIB PAQ1312 UMC 0831 ASIGN PD112707Libs COMBINE P19112707 P19112707 DG P0112707_DG_SUBLIB ASIGN PGLIbs COMBINE P19112707 P19112707.	ASSIGN BUSTESTLIbS DISPLAY uselessLibs ASSIGN BUSTESTLIbS COMBINE BUSTEST BUSTEST1 BUSTEST2 BUSTEST3
7 ASSIGN DGLIbS DISPLAY dgLIbs B ASSIGN PA01312Libs DISPLAY dgLibs 9 ASSIGN P19112707Libs DISPLAY dgLibs	
10 INCLUDE libcombine_bustest.defs 12 13 14 14 15 15 15 15 15 15 15 15 15 15 15 15 15	
Plain Text 🗸 Tab Width: 4 🗸 Ln 17, Col 1 🛛 INS	Plain Text 🗸 Tab Width: 4 🗸 Ln 6, Col 1 INS

在 lib.defs 文件同级目录内, 找到 libcombine.defs 文件并打开。如果没有 libcombine.defs 文件,则新建空白文件。

libcombine.def 文件内容介绍:

- ◆ 在语句行起始处使用 "#" 或 "//" 注释
- ◆ 定义组合库: ASSIGN combinedLibName COMBINE libA libB subCombinedLibNameA...

其中, combinedLibName 是上层组合库的名称, libA 和 libB 是组成组合库的库。

subCombinedLibNameA 是已经定义的子组合库名称。

✤ 加载其他 defs 文件: INCLUDE filePathName

其中, filePathName 是 defs 文件绝对路径或相对路径。

注意:

- ASSIGN 语句中指定的所有库必须已在 lib.defs 文件中定义,否则 ASSIGN 语句将忽略该库。
- 一个库可以放置在多个组合库中。
- 组合库名称与项目库名称不要相同。组合库名称建议为 ADC、SMIC、后缀 Libs 等。
- ASSIGN 语句可以建立库的嵌套层次结构,组合库中可以包含组合库,不允许成环嵌套。
- 新增项目库或修改项目库名称后,应手动编辑 libcombine.defs 文件进行修改。软件不会自动 更新该文件。

libcombine.defs 文件编辑完成后,在库管理界面点击刷新按钮²²或重新登陆客户端查看组合库。

1.2.2. 自定义库显示设置

BunnyGS 提供了一组预定义的属性,您还可以添加自定义属性,属性保存在 displayPrefs 文件中。 路径为\$designserver 路径/.designserver/libManager/displayPrefs。

通过库管理器的"视图→显示选项"菜单,您可以查看现有属性的列表、修改这些属性的显示设置以及定义新属性。

1.2.2.1. 创建新的库属性

要创建新的库显示属性,步骤如下:

▶ 在库管理界面,点击菜单"视图→显示选项",弹出"显示设置"窗口,如下图所示。



- "库显示属性":列表框显示所有预定义属性和自定义属性
- "属性":显示属性的当前显示设置。
- "预览":显示具有这些显示设置的示例库名称。

▶ 单击"添加"按钮,在弹出的对话框上输入属性的名称,并点击"确定"或"应用"。如果要从

其他属性复制显示设置,请勾选"使用已经存在的库显示属性",然后从列表中选择该属性。

💽 显示设置		? ×	≷ 添加库显示属性	? ×
■ 显示设置 不可见算	库显示属性 ➡ invisible uselesslibs 量 verilogLibs	? × 篇性 ☑ 使用版称: verilog 形改 werilogLibs	 ※加厚显示层性 各級 [pcLibs 使用已经存在的库型示属性 ① invisible uselessLibs ○ verilogLibs 	? ×
管理	添加 确定(0)	保存(S) 刷新 取消(C)		2(0) 应用(A) 取消(C)

注意,属性名称不能包含空格。不要手动编辑 displayPrefs 文件。

▶ 选择属性,设置颜色和图标

选择属性,勾选"使用颜色",点击"选择",然后从弹出的对话框中选择颜色。勾选"使用图标",点击"选择",然后从弹出的对话框中选择图标。

显示设置		? ×	🔁 选择库图标	? ×
■ 显示设置 不可见解 所有库可见	岸显示属性 ① dgübs ④ invisible uselesstibs ○ invisible uselesstibs ○ invisible	? × 属性 ☑ 使用颜色	■ 25年年第55 BH日前(rww/nwaks// 6.0/project/ver Paddwateriappe B. adjust-cellping-prog B. adjus	? X
管理	添加 明除			

● "图标目录":图标所在的目录路径,通常为 designserver/icons 目录。

● "刷新":图标目录中的图标有更新后,点击"刷新"按钮进行刷新。

▶ 单击"确定"或"保存"

点击"确定"或"保存"按钮应用您的更改。标记有您更改的属性的库现在显示为新设置。

显示设置					?	×
所有库可见	库显示层性 □ dgtibs ○ invisible uselesstibs □ verilogtit	25	属性 ☑ 使用颜色 ☑ 使用圆标 预览	s	选择	
管理	添加	刪除				
		73 - (0)	(7) - ()	Duter	The sole (- 2

- "确定":应用您的更改,并关闭窗口。
- "保存":应用您的更改,并立即将其保存到 displayPrefs 文件中。
- "刷新":从 displayPrefs 文件中读取库显示属性。
- "取消":关闭窗口。

注意,不要手动编辑 displayPrefs 文件。

1.2.2.2. 设置库的显示属性

库管理界面中,组合库或者项目库可以以不同的颜色或特定图标显示。要设置库的显示属性,需要编辑 libcombine.defs 文件。

			
DGLibs		likrombing dafe (/davalan/worke/darignearwor/branchae/1 6 Alargiaete), gadit	
CFG1	•	File Edit View Search Tools Documents Help	_
CLK_TREE	_	🖸 🛱 Open 🗸 🖓 Save 🐣 🧄 Undo 🚵 🕅 👘 👘 🔊	
CXZ 1911290Libs			
		libcombine.defs 🗶	
🖻 🛄 P19112707Libs		19 ASSIGN BUSTEST20 DISPLAY uselessLibs	
- P19112707 DG		20 ASSIGN BUSTEST_BAK DISPLAY uselessLibs	
P19112707 DG SUBLIB		22	
PAQ1312Libs			
PAQ1312 DEVICES		PA01312 DG KKKK PA01312 DG KKKK SUBLIB PA01312 TTT PA01312 VVV PA01312 DG 0706 SUBLI	B 870
PAQ1312 DG KKKK		PAQ1312_UMC_0831	
PAQ1312 DG KKKK SUBLIB		25 ASSIGN P19112/0/LIDS COMBINE P19112/0/ P19112/0/_D6 P19112/0/_D6_SUBLIB 26 ASSIGN DGLIDS COMBINE PA01312LiDS P19112/07/LiDS	
PAQ1312 TTT		27	
PAQ1312 VVV		28 ASSIGN DGLIDS DISPLAY dgLIDS 29 ASSIGN PAD13121 ibs DISPLAY dol ibs	
PAQ1312 0706		30 ASSIGN P19112707Libs DISPLAY dgLibs	
PAQ1312 DG 0706		31	
PAQ1312 DG 0706 SUBLIB		33	
PAQ1312 SRAM 0706		34	
PAQ1312 UMC 0831		Plain Text 🗸 Tab Width: 4 🗸 Ln 35, Col 1	
P19052203			
P19052203 SUBLIB	- 1		

ASSIGN 语句格式: ASSIGN libNameOrCombineName DISPLAY attributeName

其中,libNameOrCombineName 是需要设置显示属性的项目库或组合库名称,

attributeName 是属性的名称。

libcombine.defs 文件编辑完成后,在库管理界面点击刷新按钮[€]或重新登陆客户端查看组合库的显示。

1.2.2.3. 设置库不可见

您可以根据需要设置库不可见。在库管理界面,点击菜单"视图→显示选项",在弹出的对话框 上点击"管理"按钮,弹出"过滤可见的项目"对话框。选择项目移到右侧"不可见项目"列表框中, 点击"确定"或"应用"。

不可见库	库显示属性	属性	所有可见项目	不可见项目
管理	↓ dqübs ◆ invisible uselessübs ↓ verilogübs	 ●使用颜色 颜色 ●使用颜序 图标 通知图标 图标 通知 	1830an18ba 1830ba18ba S045ba18ba S045ba18ba B16Y_SZ B170101 B170101 B170101 B170101 B170101 BUSTEST1 BUSTEST1 BUSTEST1 BUSTEST10 BUSTEST12 BUSTEST2 BU	BUSTEST BUSTEST1 BUSTEST10

SILINTECH

1.3. 单元分组功能

在库管理界面,勾选"显示类别",添加类别后,可以按类别显示单元,方便快速查找。

		
类别	单元	视图
AMP	过滤	过滤
Everything Uncategorized Ano Ano BUFX CMOS DUMMY ESD INV NAND NOR	BL AMPO A1 BL AMPO A4 BL AMPO A7 2 BL AMPO A7 2 BL AMP1 A1 BL AMP1 A1 BL AMP1 A7 2 BL AMP2 A1 BL AMP2 A1 BL AMP2 A1 BL AMP3 A1 CANPA A1	The second secon
	类別 AMP Everything -Uncategorized AND AND AND AND AND BUFX CMOS CMMMY ESD -INW NOR NOR	

添加类别的方式有两种,分别为:

(1) 先参考下图,在客户端计算机上编辑好 rule 文件。在库管理界面类别栏空白区域,鼠标右键选择"根据规则创建分类",选择编辑好的 rule 文件,点击"OK"。

Open Rule.txt Sa AMP: *AMP* /coding/.2_projects/PCR3006/PBUS0419_14 Sa BUFX: *BUFX* CMOS* CMOS* DUMMY: *OUMMY* CMOS* CMOS*	BunnyGS库管理: 172.16.0.52:5555@admin 库引导式 文件(E) 編編(E) 視图(Y) 工具(I) 授权 选项(Q) 報	文件:/coding/02_software_tools/designserve 帮助(<u>H</u>)
INV: *INV* NAND: *NAND* NOR: *NOR* ESD: *ESD* AND: AND*	▲ 显示类別 库 PCR3006_DG_SMIC 中 PCR3006_DG_SMIC 中 PCR3006 DEVICES PCR3006 DG LA PCR3006 DG LA PCR3006 DG S PCR3006_DG S 中 PCR3006_DTCH	単元 W田 WI BL_DECODER BL_DECODER2 DG1_AIAI21_IP9N2_IP DG1_AIAI21_IP9_IM2 DG1_AIAI21_IP9_IM2 DG1_AIAI21_IP9_IM2 DG1_AIAI21_IP9_IM2 DG1_AIAI21_IP9_IP3_IP3 DG1_AIOAI22_IP9_IP3 DG1_AIOAI22_IP9_IP3 DG1_AIOAI22_IP8_IP3 DG1_AIO21_P8_IP3 DG1_AIO2_IP8_IP3 DG1_AIO3_IP8 DG1_AIO3
Plain Text ▼ Tab Width: 8 ▼ Ln 9, Col 6		

(2) 在库管理界面类别栏空白区域,鼠标右键选择"新类别",在弹出的对话框上,输入"类别名"选择相应的单元,点击"确定"。

文件(E) 编辑(E) 视图(⊻)	工具(<u>T</u>) 授权 选项(<u>O</u>) 帮助(<u>H</u>)	
✔ 显示类别		
PCR3006_DG_SMIC	奕加 过滤	単元
PCR3006Libs PCR3006 PCR3006_DEVICES PCR3006_DEVICES PCR3006_DG PCR3006_DG_LA PCR3006_DG_S PCR3006_OTP PCR3006_PITCH	概据规则创建分类 新类别 新子实别 修改 更新	BL_DECODER BL_DECODER2 DGI_AIAI21_IF DGI_AIAI21_IF DGI_AIAI21_IF DGI_AIAI21_DGI_AIAI21_DF DGI_AIOAI22_ DGI_AIOAI22_ DGI_AIOAI22_DGI_AIOAI22_IF DGI_AND2_1F DGI_AND2_1F DGI_AND2_1F



删除类别的操作:选中类别,鼠标右键"删除"。或者在项目目录内找到相应的 TopCat 文件,删除该文件或删除该文件中的内容。



SILINTECH

1.4. 参数化门电路功能

步骤如下:

- ▶ 将门符号库先添加到 lib. defs 文件中,确保门符号库可见。
- ▶ 点击菜单"选项→器件设置",下拉选择门符号库名称。点击"设置"图标,可以添加或删除门的参数属性。

		标注单	元设置		×	参数化门设置
单元区域层(<u>B</u>):	prBoundary drawi	ing \$ 器件	库(<u>b</u>): bunnyLib	. (4)	•	库名称: GATES 属性:
金属1层(<u>M</u>):	POLY1 drawing	 ▼ 文子店 ◆ 有源区层 	(<u>D</u>) : DIFF d	awing	•	Filter 名称 值 类型
金教化门设置 门符号库名称: G4 电源地名称 电源名列表(P): ① 地名称(G): ② 显示参数列表 W151 参数字体高度 ③ 程〕 标注单元类型	NTES VDD VS VCC GND GS VSS m s nf sp turns 予白动计算 ④ 最大商	高度 [<u>)</u>	\$ 8	·ā		□ nand2_1 □ nand3 □ nand4 □ nand5 □ nand6 □ nor3 □ nor3_2 □ nor4 □ 0222na3 □ 022na3_x □ 022na2
器件	模型名	注释	管牌	实例前缀名		
4 RES	rnp rpp rnw r	res	(PLUS inputo	R		□ 022na3_w □ 02na2
5 DIO	pdio ndio pdi	pdiode	(PLUS inputo	D	11	o2na2_o o2na2_t
6 CAP	mim mom p1	cap	(PLUS inputo	c	•	o2na2_t2
				保存(<u>5</u>) 关	(<u>C</u>)	保存取消

在 annotatelayout 视图中,查看图像并分析,点击图标 概 标注参数化门。在弹出的对话框上选择单元类型,输入参数值。



标注管脚,	如下图所示。

元(<u>C</u>):	and3	✓ 交换W,	/L 🦳 后加WLMark		
		名称	值		
	1	GT_PUW	0.8u		
添加(<u>A</u>)	2	GT_PDW	0.7u		
/////A/	3	GT_PUL	0.18u		
	4	GT_PDL	0.18u		
周辺(の)	5	lc	5e-07		
加际(<u>D</u>)	6	sx	9.5e-07		



▶ 标注完成后,点击菜单"工具→转换为原理图",在弹出的对话框,"其他参考库"填写相应的 门符号库。



础库(<u>B</u>): basic	◆ 基本器件库(<u>A</u>):	bunnyLib	\$ 其他参考库:	GATES	
救倍数(<u>S</u>): 0.3	短线长度 2格点 🗘	2 实例不重叠			
合并并联器件 设置	合并规则 ✔ 备份原理图	✔ 添加noconn	层次化		
分量转换为总线 ④	降序 〇 升序				
分量转换为总线 ●使用PDK库	降序 〇 升序				- Shille
分量转换为总线 ● 使用PDK库 ● 单元映射 ●	降序 〇 升序				浏览

生成的原理图如下图所示。



SILINTECH

1.5. 标记封闭线网功能

如果一根线网上的所有引脚通过线物理连接起来,这样的线网称之为封闭线网,可以通过颜色进行标记。点击菜单"跟踪→标记封闭线网"或按快捷键A进行标记,如下图所示。



取消操作:点击菜单"跟踪→取消封闭线网标记"或按快捷键 A。

1.6. 改变层次化颜色

添加高亮线网时,使用的是 y0[~]y9 默认 10 种颜色。点击菜单"工具→改变层次化颜色"可以修 改层次化颜色。颜色修改后,点击"确定"或"应用"生效。



r0:	yellow	\$	y1:	red	\$) y2:	green	¢
3:	magenta	\$	y4:	cyan	\$) y5:	purple	\$
6:	orange	•	y7:	gold	¢) y8:	blue	¢
9:	silver	\$						

1.7. 使用同一种颜色高亮不同线网

软件支持使用同一种颜色高亮不同线网。点击"跟踪→添加高亮线网",按F3弹出对话框,在 对话框上勾选指定颜色,点击"隐藏"隐藏对话框,点击多个线网进行高亮,如下图所示。



如果想用多种颜色高亮不同线网,在对话框上勾选"随机"。

1.8. 支持显示多个线网关系线

在 V1.8.4 及之前版本,软件仅显示一个线网关系线。在 V1.9.0 版本,软件支持显示多个线网关 系线。首先点击菜单"选项→显示",在弹出的对话框上勾选"增量显示线网关系线"。

	格点控制(<u>G</u>)	
文字原点(1)	类型 〇 无(<u>N</u>)) ● 点(□) ○ 线(止)
□ 十字光标(<u>C</u>)	次间距(<u>N</u>):	0.125
✔ 显示器件标记	主间距(<u>S</u>):	1
记录实例透视状态	水平拟合间距(X):	0.0625
□ 拟合线	垂直均会间距(Y)·	0.0625
✔ 保存备份	marther for the	0.0025
□ 预选	过滤(<u>F</u>)	
✔ 加粗显示高亮图元	大小(<u>5</u>): 0	empty 🗘
	拟合方式(<u>S</u>)	
单元名称(M) 〇 两者(B) 〇 填充 〇 外宽	创建(<u>R</u>):	diagonal 🗘
\$	编辑(E):	anvAngle 🖨
显示层次		(
开始: 0		
结束: 1		
5 15% ▲		
绑定框外扩范围 0		
	 文字原点(!) +字光标(C) 型示器件标记 记录实例透視状态 損合线 ダ 保存备份 預造 (一) (小和显示高亮图元) 単元名称(M) ○ 両者(B) ○ 填充 ○ 外宽 (●) 重示层次 开始: 0 结束: 1 概重 75% ◆ 绑定框外扩范围 0 	▲ 文字原点() 失型 无(M) ▲ 十字光标(C) 次间距(N): 主间距(S): ④ 显示这件新记 頭強 近途(C) □ 记录实例透視状态 頭和目示高亮密形 近途(C) ● 放き 小(S): 0 単元名称(M) 両者(B) 頃克 外充 ● 示意次 子 小(S): 0 #和組显示高亮密形 4線(E): 編編(E): 編編(E): # 75% ◆ ● ● #家定框外扩范围 0 0 ●

查看菜单"跟踪→显示线网关系线",确认已勾选。在电路图上,选中多个线网,然后点击菜单 "跟踪→显示选中线网关系的线"。

						Hier	rarchy	Editor:(P	CP0107/A	MP5/schematic	:) 编辑
查(<u>K</u>)	 跟踪(<u>R</u>) 层次化(<u>Y</u>) ✓ 显示线网关系线 显示选中线网关系 清除线网关系线 	总线(<u>B</u>) 的线	数字整理) 🕐	工具(<u>T</u>) 【 ④	选项(<u>O</u> O_ Q)综合(。 略	(<u>M</u>) ₪ ∎ 1	5量管理(Q) して、区	窗口(<u>W</u>)	帮助(<u>H</u>)	
c) Hier	添加高亮线网 清除高亮线网 清除所有的高亮线	9 8 网 0	4010 =1.1u		ENG	nos4	M4 w=	025 1.1u	pmos	M4014 w=4.1u	
	标记封闭线网 高亮选中图元的线	A MA B	0.7u =1			٩L	l=(m=).7u =1		l=0.7u m=5	
M	从其他视图获取高 持久化线网 搜索西个线网的通	… 亮线网… ⁹									
	树形显示线网信息	Т Ø	4 driw	M469	99					i iz	
	交叉定位(<u>O</u>) 更多交叉定位	F7		w=	1.1u).7u =1						
а з с. с				••				М	4925 P		
8 8 6 8									8 8		
5	l=21.4u										- 55
ippo s	m1/s1	ar 9.							201 92		
5 2 5 5			nmos4	M403	34					054 M4035	
		•			7.					=0.7u	

显示的线网关系线如下图所示。



也可以用双击方式显示多个线网关系线:选中一个线网,双击显示线网关系线。再选中一个线网, 双击显示线网关系线。

清除所有线网关系线的操作为:点击菜单"跟踪→清除线网关系线"。

1.9. 其他优化功能

其他优化功能如下:

- 支持记住用户名和密码;
- 导出版图时,支持直接生成 PCell;
- 导出 CDL 时,支持读取 PDK 器件的默认 CDF 值;
- 在导航窗口,支持通过拖拽器件的方式拷贝指定器件到指定位置;
- 移动、拷贝、引用实例时,点击鼠标右键可以旋转实例的位置;
- 导出 Verilog 时,支持引入标准.v 文件的定义;
- 创建基本单元时,管脚列表支持添加属性,如Y(OUTPUT)、Y(o)、Y(out)等;
- 新增质量管理功能(QC);
- 优化大数据量时 GUI 绘制性能问题;
- 修复 bug:标注线(pathseg)时,取消或移动后,第一个孔的位置不正确;
- 修复 bug: 标注器件时,如果器件名称不合法,客户端软件异常;
- 修复 bug: 解散电路时, dummy 器件丢失。