

BunnyGS 软件网表提取手册 V3.0 版

本手册仅限于使用 BunnyGS 软件提取网表的用户使用，未得到苏州芯联成软件有限公司的许可，不得用于其他目的。

下载地址: <http://ftp.silintech.com> 或 <http://ftp.silintech.com:8000>

用户名: bunny 密码: bunny

技术支持信息

用户可以通过以下方式获得本公司的技术支持:

电 话: 0512-87186650

企业网址: www.silintech.com

技术咨询: support@silintech.com

公司二维码:



前 言

BunnyGS 是一款用于集成电路逆向分析，支持工艺厂商 PDK 和兼容 Cadence 的 EDA 软件。

主要功能有：

- 芯片图像浏览
- 器件分析与提取
- 使用 PCELL 绘制版图
- 电路浏览与层次化整理
- 电路和标注交叉查错
- 导出 EDIF200、Verilog、CDL 等数据交互格式

BunnyGS 的特点：

- 支持海量芯片图像数据
- 多平台支持
- B/S 模式工作，多人异地合作
- 芯片图像分层显示
- 提取器件
- 电路浏览与整理
- 相似或者相同单元搜索并替换
- 电路图和标注视图的线网、实例间的交叉定位
- 能够将数据库导出成各种标准格式文件

BunnyGS 提供了标准、简洁的用户界面，帮助用户快速熟悉并熟练地运用软件。

本文档适用于将要使用 BunnyGS 软件进行网表提取的工程师，对于初次使用软件或对逆向工程不了解的工程师，建议先跳过第三章和第四章，等到熟悉后，再了解这两个章节的内容。

目 录

第一章 网表提取标准工作流程.....	1
1.1. 网表提取标准流程图.....	1
1.2. 创建/打开项目	2
1.3. 配置项目参数.....	2
1.4. 划分工作区.....	3
1.5. 器件提取、修正.....	4
1.6. 线孔提取、修正.....	4
1.7. 基本单元提取、修正.....	4
1.8. 工作区合并.....	5
1.9. 基本电学规则检查.....	5
1.10. 生成网表.....	6
1.11. 生成管脚.....	6
1.12. 生成原理图.....	6
1.13. 电路层次化整理.....	7
1.14. 数据导出.....	7
第二章 基本概念.....	8
2.1. 工艺层.....	8
2.2. 孔.....	10
2.3. 模拟器件.....	10
2.4. 实例命名规则.....	13
2.5. 线网命名规则.....	13
2.6. 单元名称.....	13
第三章 快捷键一览表.....	14
第四章 常用操作.....	19
4.1. 打开标注视图.....	19
4.2. 拷贝库.....	19
4.3. 拷贝单元.....	20
4.4. 拷贝视图.....	20

4.5.	重命名单元.....	21
4.6.	重命名视图.....	21
4.7.	器件提取.....	22
4.8.	设置器件管脚大小和字体高度.....	22
4.9.	忽略提取器件时提示 W/L Mark 约束.....	23
4.10.	修改器件参数.....	23
4.11.	修改器件类型.....	24
4.12.	重设标记大小.....	24
4.13.	重设器件管脚大小.....	25
4.14.	删除选中管脚.....	26
4.15.	修改管脚名称.....	26
4.16.	指定线网名称.....	26
4.17.	坐标定位.....	27
4.18.	多层浏览.....	29
4.19.	同时显示上下两层图像.....	29
4.20.	浏览图像.....	30
4.21.	切换图像层.....	31
4.22.	显示和隐藏芯片背景图.....	32
4.23.	隐藏和显示未选中图元.....	33
4.24.	设置元素对应工艺层的可见可写.....	34
4.25.	查看线网连接关系.....	34
4.26.	高亮多根线网.....	35
4.27.	雷达图.....	37
4.28.	交叉定位.....	37
4.29.	线孔提取.....	40
4.30.	连线.....	41
4.31.	生成线网.....	43
4.32.	生成管脚.....	43
4.33.	手动添加管脚.....	44
4.34.	更新管脚.....	45

4.35.	ERC 查错	46
4.36.	枚举工作区.....	48
4.37.	导出原理图.....	49
第五章 BunnyGS 软件界面		50
5.1.	运行 BunnyGS	50
5.2.	BunnyGS 库管理界面	51
5.3.	BunnyGS 标注视图主界面	52
5.4.	窗口管理.....	66
第六章 创建项目及配置.....		67
6.1.	创建新项目	67
6.2.	绑定工程图像.....	67
6.3.	创建顶层单元.....	68
6.4.	参数设置.....	68
6.5.	模拟器件设置.....	73
第七章 模拟单元网表提取工作流程.....		75
7.1.	创建项目	75
7.2.	项目参数设置.....	75
7.3.	划分工作区.....	75
7.4.	器件提取.....	75
7.5.	模拟基本单元提取.....	76
7.6.	连线.....	76
7.7.	生成网表.....	77
7.8.	生成管脚.....	77
7.9.	ERC 电学规则检查.....	77
7.10.	导出原理图.....	77
第八章 标准数字区提取工作流程.....		78
8.1.	创建项目	78
8.2.	项目参数设置.....	78
8.3.	划分工作区.....	79

8.4.	基本单元提取.....	80
8.5.	单元实例自动搜索.....	85
8.6.	单元透视，确认实例.....	86
8.7.	线孔提取.....	87
8.8.	工作区合并与解散.....	89
8.9.	生成网表.....	89
8.10.	生成管脚.....	90
8.11.	ERC 电学规则检查.....	90
8.12.	导出原理图.....	90
第九章 电路层次化整理.....		91
第十章 工作区数据导出.....		92
10.1.	导出 Verilog	93
10.2.	导出 Edif200	94
10.3.	导出 CDL	95
10.4.	导出 Spice	96
10.5.	导出 GDSII.....	97

第一章 网表提取标准工作流程

1.1. 网表提取标准流程图

每个芯片可以划分为若干个模块，可以按如下步骤进行网表提取：

- 1、项目经理进行模块划分
- 2、对每个模块分别进行网表提取
- 3、将各模块的网表数据合并到一起
- 4、进行电学规则检查
- 5、导出网表数据

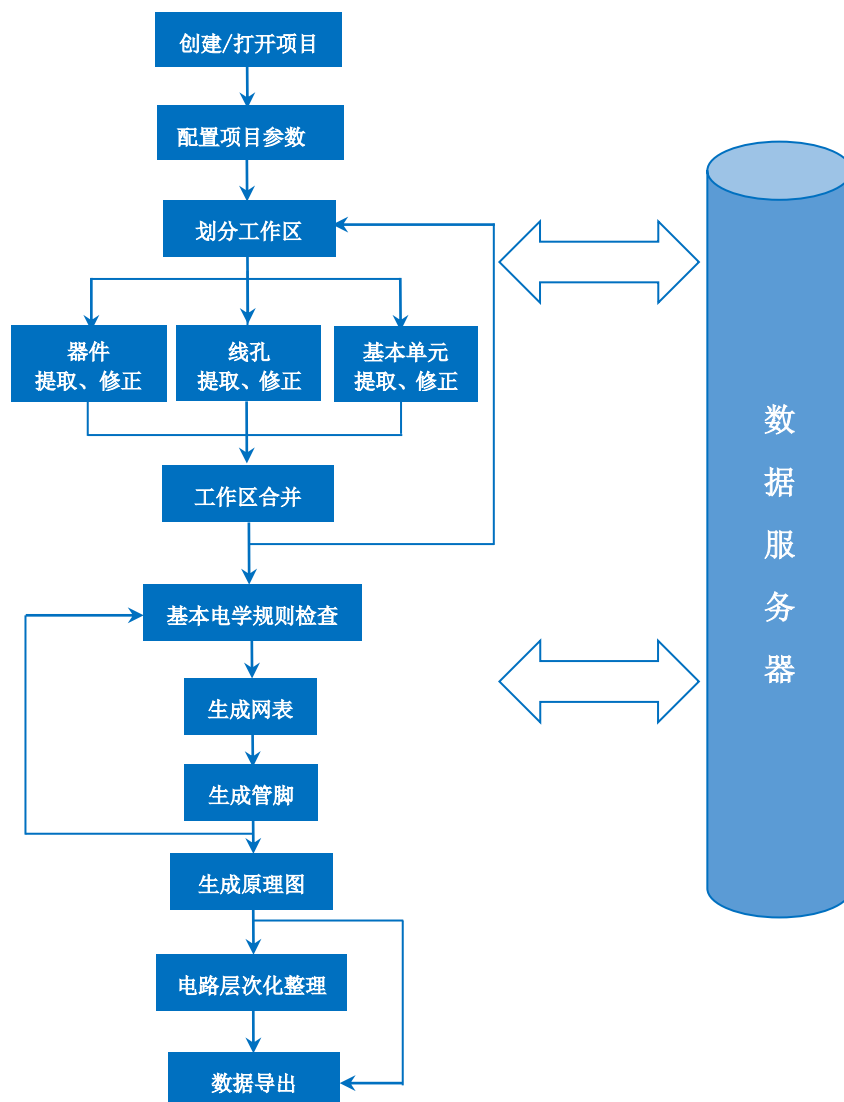


图 1 网表提取流程图

具体实施中，分别完成各个模块的器件提取/线孔提取/基本单元提取，再将它们合并，完成模块间接缝处的引线后，再进行 ERC 检查。当然，用户也可以直接导出每个模块的网表数据，但是此时用户必须通过标注边界线网名等方法来确保导出后各模块边界的连接性。

1.2. 创建/打开项目

如果还未创建项目，需要创建项目和顶层单元并绑定工程图像。在创建项目前，预先将工程图像数据解压后放入服务器 designsever 目录下的 images 文件夹内。创建项目时，设置项目名称及保存目录，下拉图像库名称列表选择图像库，选择工艺文件并设置格点和沟道，点击确定，项目创建成功并且绑定工程图像。在 BunnyGS 软件里，项目创建成功后，软件会自动创建库的顶层单元 TOP 及 annotatelayou 视图。详见 [6.1.创建新项目](#)、[6.2.绑定工程图像](#)和 [6.3.创建顶层单元](#)。

1.3. 配置项目参数

在做模拟电路和数字电路网表提取前，对项目的各个参数进行相关设置，方便后续工作的开展：

1、**图层映射设置**：按快捷键 **E**，在“显示选项”对话框上点击“编辑层映射”，将图像层（STAIN、POLY、M1、M2 等）分别与线网层、管脚层、Via 层对应起来，并设置对应的快捷键数字，详见 [6.4.1.图层映射设置](#)。

2、**线宽设置**：先按快捷键 **K** 对芯片相应图像层里的管子的宽度进行测量，测量完毕，按快捷键 **E**，在显示选项对话框上点击“编辑层映射”，左键双击进入修改各图像层对应的线宽值。设置完成后，在各图像层绘制标注线，标注线的默认线宽值为预先设置的线宽值。详见 [6.4.2.线宽设置](#)。

3、**孔大小设置**：在集成电路设计中，通孔（Via）用于不同层之间的导电连接。在 BunnyGS 软件里，孔一般有 ND_C, P1_C,VIA1_C, VIA2_C, VIA3_C...VIATP_C 等。孔一般由本层、孔层、上层构成。执行菜单“选项→孔设置”，可以添加或删除孔，选择孔层和上下层，设置孔的尺寸、间距、外包尺寸等信息，详见 [6.4.4.添加孔](#)和 [6.4.5.删除孔](#)和 [6.4.3.孔大小设置](#)。

4、**模拟器件设置**：在做模拟电路的网表提取时会遇到不同类型的器件和管子，执行菜单“选项→器件设置”，可以根据需要对模拟器件添加或删除模型。另外，需对 G 管脚和 B 管脚对应的图层进行设置（G 管脚对应 POLY 层，B 管脚对应 DIFF 层，其他管脚对应 MET1 层），详见 [6.5.模拟器件设置](#)。

1.4. 划分工作区

一颗完整的芯片从功能上可以划分好几个模块，如 I/O 区、模拟区、存储区和标准数字区等。在工作中项目经理会将这些功能区进行划分，分别分配给其他 IC 工程师，我们将这些划分的功能区称为宏单元。在 BunnyGS 里，我们将整颗芯片的工作区称为顶层单元（TOP 单元），各功能模块的工作区称为子宏单元。软件使用创建宏单元来划分功能模块。

工作区对应芯片的一个指定区域，在工作区内用户可以进行线网绘制、单元提取、标注等网表提取工作。工作区之间允许任意重叠，各个工作区的数据完全独立。对一个模块应该创建不同的工作区，这些工作区均对应于该模块的区域，用来实现该模块不同数据提取阶段的任务。对于一个两层金属工艺的芯片，可以按下表划分工作区：

模块	工作区	任务
DG	DG_CELL	完成 DG 区域内单元摆块
	DG_M1	完成 DG 区域内 M1 线网的绘制
	DG_M2	完成 DG 区域内 M2 线网的绘制
	DG_M12	合并 DG_M1 和 DG_M2 的数据，并完成 Via1 通孔识别
	DG_NET	合并 DG_CELL 和 DG_M12 的数据，并完成单元引脚连线、模块 ERC 检查。本工作区数据可直接导出模块网表，也可同其它模块数据合并，得到更大模块网表。
A1	A1_DEVICE	完成 A1 区域内模拟器件的提取
	A1_M1	完成 A1 区域内 M1 线网的绘制
	A1_M2	完成 A1 区域内 M2 线网的绘制
	A1_M12	合并 A1_M1 和 A1_M2 的数据，并完成 Via1 通孔识别
	A1_NET	合并 A1_DEVICE 和 A1_M12 的数据，并完成单元引脚连线、模块 ERC 检查。本工作区数据可直接导出模块网表，也可同其它模块数据合并，得到更大模块网表。
A2	A2_DEVICE	完成 A2 区域内模拟器件的提取
	A2_M1	完成 A2 区域内 M1 线网的绘制
	A2_M2	完成 A2 区域内 M2 线网的绘制
	A2_M12	合并 A2_M1 和 A2_M2 的数据，并完成 Via1 通孔识别
	A2_NET	合并 A2_DEVICE 和 A2_M12 的数据，并完成单元引脚连线、模块 ERC 检查。本工作区数据可直接导出模块网表，也可同其它模块数据合并，得到更大模块网表。

1.5. 器件提取、修正

划分工作区后，对各个模块进行器件提取、修正操作。根据图片工艺确定器件类型，常见的模拟器件类型有 MOS4、MOS3、三极管、电阻、二极管、电容和电感。首先用标尺测量 W/L 参数，创建 W/L 标记，点击工具栏对应的图标  并框选 W/L 标记，在弹出的对话框上填入相应的参数并添加器件的管脚，详见 [7.4. 器件提取](#)。器件创建完成后可以进行修正。常见的器件类型和模型如下表所示：

器件类型	名称列表
MOS3	nmos pmos
MOS4	nmos4 pmos4 esdn esdp hvns hvps hvnd hvpd ldpc ldnc
BJT	nnp npn lpnp lnnp fanpn fapnp falnpn falpnp
RES	rnp rpp rnw rpw rsh rbs rppo rnpo rppo_t rnpo_t pfuse mfuse rp1 rp2
DIO	pdio ndio pdio_a ndio_a
CAP	mim mom p1pw p1nw pip
IND	ind_std ind_sym ind

1.6. 线孔提取、修正

划分工作区后，对各个模块进行线孔提取和修正操作。

1、线识别：在各个工作区内完成线网的绘制，切换图像层，在指定工艺层，按快捷键 P，再按 F3 设置线宽和吸附模式等，绘制标注线，双击鼠标左键完成绘线。详见 [4.29. 线孔提取](#)和 [4.30. 连线](#)。

2、孔识别：在集成电路设计中，通孔（Via）是绝缘氧化物层中的一个小开口，用于不同层之间的导电连接。在 BunnyGS 软件里，孔一般有 ND_C, P1_C, VIA1_C, VIA2_C, VIA3_C...VIATP_C 等。孔一般由本层、孔层、上层构成。切换图像层，按快捷键 O，再按 F3 选择孔定义、设置孔半径等参数，隐藏对话框，点击鼠标左键在图像层上打孔，详见 [4.29. 线孔提取](#)。

1.7. 基本单元提取、修正

基本单元识别也就是我们通常所说的“单元摆块”。可以按照如下原则确定单元：

- 如果整个芯片的单元重复性较高（如标准单元工艺），建议创建一个对应整个芯片区域的单元工作区 `WHOLE_CELL`，在此工作区内统一完成整个芯片的单元工作。该工作区内的单元识别完成后，可分别将其合并到各芯片模块所对应的工作区中；
- 如果整个芯片各模块间的单元重复性较低，可对各模块分别创建一个工作区 `BLOCKn_CELL`，在各模块内分别进行单元提取。

用户在单元工作区内，主要完成如下工作，详见 [8.5.基本单元提取](#)：

- 1、正确提取所有单元模板，按用户自定的单元命名规范命名单元模板、标注所有的单元端口；
- 2、在每一个单元位置，按照其单元模板类型放置单元实例；
- 3、逐屏浏览单元工作区图像，确保所有单元位置处均已放置单元实例，即“摆块”无遗漏；
- 4、按单元模板类，检查每类模板的实例识别是否正确并作相应修改。

同时，用户必须在 `cadence` 等工具内输入每个单元模板的符号图、电路图及其它信息，并使单元命名、端口命名等同 `BunnyGS` 内保持完全一致。

注意，为保持命名一致，单元命名、端口命名强烈建议一律采用大写。

1.8. 工作区合并

在 `BunnyGS` 里，我们将整颗芯片的工作区称为顶层单元（TOP 单元），各功能模块的工作区称为子宏单元。软件使用创建宏单元来划分工作区。而合并工作区就是将子宏单元引用到顶层单元的过程。

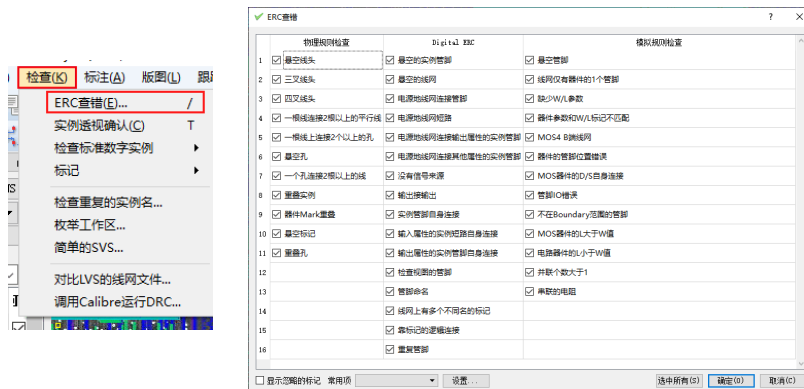
合并工作区可以按如下操作实现，按快捷键 `I` 或执行菜单“创建→实例”，弹出创建实例的对话框，点击“浏览”选择对应的子模块。点击“原地放置”则可以将这个单元摆放到图像的对应位置。详见 [8.9.工作区合并](#)。

合并工作区后，用户必须进行一遍电学规则检查以确保最终数据没有问题。如果芯片的每个模块规模均较大，模块合并前用户可以先进行一遍电学规则检查。

1.9. 基本电学规则检查

在合并工作区后，生成线网关系、进行电学规则检查，检查出的问题应逐一修正或确认。问题修正后，重新生成网表和生成管脚，并再次进行电学规则检查，修正检查出的问题。这是一个循环迭代的过程。

电学规则检查功能提供物理规则、Digital ERC 和模拟规则三种类型的检查，这个检查功能非常全面，可以检查出所有的规则错误或规则警告。执行菜单“检查→ERC 查错”可以进行基本电学规则检查，详见 [4.35.ERC 查错](#)。



1.10. 生成网表

在提图数据中创建的线、孔、器件之间的连接关系，可以通过物理连接关系生成逻辑连接关系。执行菜单“工具→重新生成网表”生成网表，详见 [4.31.生成线网](#)。

生成网表和生成管脚后，应进行电学规则检查，并修正检查出的问题。然后再重新生成网表、生成管脚和电学规则检查，直至最终数据没有问题。这是一个循环迭代的过程。

1.11. 生成管脚

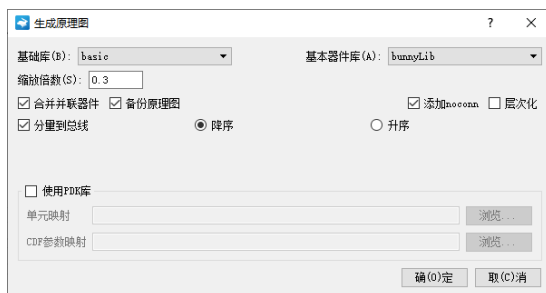
管脚，又叫引脚或端口，用于集成电路（芯片）内部功能模块（宏单元）之间的连接。生成网表后，应在单元 boundary 框外扩区域生成管脚。执行菜单“工具→生成管脚”弹出对话框，设置参数后点击确定，详见 [4.32.生成管脚](#)。另外，还可以手动添加管脚，详见 [4.33.手动添加管脚](#)。

生成网表和生成管脚后，应进行电学规则检查，并修正检查出的问题。然后再重新生成网表、生成管脚和电学规则检查，直至最终数据没有问题。这是一个循环迭代的过程。

1.12. 生成原理图

在使用 BunnyGS 软件提取的标注视图，经过提取器件、生成线网关系、ERC 查错、生成管脚等操作后，可以将标注视图直接导出原理图。转换之前，先确认对应的电路视图已关闭。打开标注视图，执行菜单“工具→生成原理图”，弹出生成原理图对话框。其中，“基础库”是电路图中管脚所在的库，一般是 basic，“基本器件库”是器件所在的库，一般是 bunnyLib、

analogLib、PDK 库等，详见 [4.37.导出原理图](#)。



1.13. 电路层次化整理

电路整理主要是将平台化、散的器件和基本门整理出层次化的、功能明确方便浏览的电路。为了确保整理的正确性，在整理过程中就必须保证线网关系不变、标注视图和电路的交叉定位、器件的查找、线网的着重标识等。芯联成采用自底向上的方式，从小单元逐步整理。自主研发的 BunnyGS 软件可以快速、方便、高效、正确地将平台化数据整理出层次化。详见电路整理手册 [HierarchyAssistantCN.pdf](#)。

BunnyGS 将层次化整理和编辑电路视图集成在一起，通过打开方式确定。层次化整理模式下可以保证线网关系不变，普通编辑模式下不保证线网关系。可以进行飞线显示、高亮线网、交叉定位、搜索相似模块等操作。

1.14. 数据导出

完成网表提取后，用户可以导出 Edif200、Verilog、CDL、Spice 等数据格式的文件。这些数据可以导入到 Synopsys、Cadences 等正向设计软件中进行再设计。详见[第十章 工作区数据导出](#)。

第二章 基本概念

2.1. 工艺层

在创建项目时（详见 [6.1.创建新项目](#)），设置项目使用的工艺文件，这个工艺文件包含了项目所需的所有工艺层信息，工艺层一般包含 MET1 drawing, MET2 drawing, prBoundary drawing, text drawing 等，如下表所示。根据项目需要可以添加工艺层（详见 [6.4.6.添加层](#)）和修改工艺层显示方案（详见 [6.4.7.修改颜色](#)）。

层	描述	目的	注释
NWELL	N-well	drawing	
		VERIFICATION	define as NW_VERIFY
DIFF	Active Area	drawing	
		boundary	
PWBLK	P-well Block	drawing	
POLY1	Poly 1	drawing	
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		boundary	
SBLK	Salicide Block	drawing	
NIMP	N + Implant	drawing	
PIMP	P + Implant	drawing	
CONT	Contact	drawing	
MET1	Metal 1	drawing	
		SLOT	defined as M1SLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as M1VERIFY
		pin	
		boundary	
VIA1	Via 1	drawing	
MET2	Metal 2	drawing	
		SLOT	defined as M2SLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as M2VERIFY
		pin	
		boundary	
VIATP	Top Via	drawing	
		drawing	

层	描述	目的	注释
METTP	Top Metal	SLOT	defined as MTPSLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as MTPVERIFY
		pin	
		boundary	
PAD	Passivation	drawing	
		VERIFICATION	
BLKALL	Dummy Block	DMYBLK	blocks all dummy generation
RFDEF	RF Device Definition	VERIFICATION	
LOCKED	IP Core Definition	blockage	
CAPDEF	Capacitor Definition	VERIFICATION	
DIODEF	Diode Definition	VERIFICATION	
SUBCUT	Splitting the substrate for LVS	VERIFICATION	
prBoundary	Place& Route Boundary	drawing	
text	Optional Information	drawing	
MV	3.3V/5V Gate Oxide	drawing	
DNWELL	Deep N-well	drawing	
HRES	lightly P+ Poly Implant	drawing	
CAPM	MIM Top Plate Metal	drawing	
CAPM2	Double MIM Capacitor Metal	drawing	
CAPM3	Triple MIM Capacitor Metal	drawing	
VIA2	Via 2	drawing	
MET3	Metal 3	drawing	
		SLOT	defined as M3SLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as M3VERIFY
		pin	
		boundary	
VIA3	Via 3	drawing	
MET4	Metal 4	drawing	
		SLOT	defined as M4SLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as M4VERIFY
		pin	
		boundary	
VIA4	Via 4	drawing	

层	描述	目的	注释
MET5	Metal 5	drawing	
		SLOT	defined as M5SLOT
		TEXT	defines top level nets
		DMYBLK	blocks dummy generation
		VERIFICATION	defines as M5VERIFY
		pin	
		boundary	
INDDEF	Inductor Definition	VERIFICATION	
NOPIIM	Polyimide Block	drawing	
STI		STITCHING	

表 1 工艺层

2.2. 孔

在集成电路设计中，通孔（Via）是绝缘氧化物层中的一个小开口，用于不同层之间的导电连接。在 BunnyGS 软件里，孔一般有 ND_C, P1_C, VIA1_C, VIA2_C, VIA3_C...VIATP_C 等，如下表所示。通过“选项→孔设置”可以添加、删除孔及设置孔的孔层及上下层等信息，详见 [6.4.4.添加孔](#) 和 [6.4.5.删除孔](#) 和 [6.4.3.孔大小设置](#)。孔一般由本层、孔层、上层构成。

孔	含义
VIATP_C	金属 5 和顶层金属【金属 5】的连接
VIA4_C	金属 4 和金属 5 层的连接
VIA3_C	金属 3 和金属 4 层的连接
VIA2_C	金属 2 和金属 3 层的连接
VIA1_C	金属 1 和金属 2 层的连接
P1_C	多晶和金属 1 层的连接
ND_C	有源和金属 1 层的连接

表 2 孔

2.3. 模拟器件

模拟器件包括晶体管、电阻、电容、二极管和三极管等。器件包括一些常用的 CDF 参数 m, w, l, s, sl, turns, sp 等，如下表所示：

参数名称	类型	说明
m	string	器件的并联个数
w	string	器件的 w 值
l	string	器件的 l 值，如果是电阻，则表示电阻的总 l 值
s	string	电阻的串联值

sl	string	电阻的单根 l 值，电阻的 $l = s * sl$
turns	string	电感的匝数
sp	string	叉指电容的间距

表 3 基本器件参数说明

模拟器件的电路和符号图存放在 bunnyLib 库中，标注模板以字母小写的方式存放于相关项目中，如 nmos, pmos4, npn, rnp, ndio, pdio, mim, ind 等，如下表所示。在做模拟电路的网表提取时会遇到不同类型的器件和管子，根据需要可以对模拟器件添加或删除模型，详见[6.5.模拟器件设置](#)。

器件	参数列表	模型名	含义	管脚
MOS3	w l m	nmos	三端 N 型 mos 管	G D S
		pmos	三端 P 型 mos 管	G D S
MOS4	w l m	nmos4	四端 N 型 mos 管	G D S B
		pmos4	四端 P 型 mos 管	G D S B
		esdn	esd 普通型 nmos，一般 D/S 不对称	G D S B
		esdp	esd 普通型 pmos，一般 D/S 不对称	G D S B
		hvns	hv 高压型 nmos，一般 D/S 不对称，单端型，S/D 不可以调换	G D S B
		hvps	hv 高压型 pmos，一般 D/S 不对称，单端型，S/D 不可以调换	G D S B
		hvnd	hv 高压型 nmos，一般 D/S 对称，双端型，S/D 可以调换	G D S B
		hvpd	hv 高压型 pmos，一般 D/S 对称，双端型，S/D 可以调换	G D S B
		ldpc	ld 高压型 pmos，一般 D/S 不对称。环形	G D S B
		ldnc	ld 高压型 nmos，一般 D/S 不对称。环形	G D S B
BJT	w l m	nnp	V 垂直型 npn	B C E
		pnnp	V 垂直型 pnp	B C E
		lpnp	平面型 pnp,一般带多晶	B C E
		lnpn	平面型 npn,一般带多晶	B C E
		falpnnp		B C E G
RES	w l sl m s	rnp	N 型电阻，p 阱里面的 ndiff 电阻	PLUS MINUS
		rpp	P 型电阻，n 阱里面的 pdiff 电阻	PLUS MINUS

器件	参数列表	模型名	含义	管脚
		rnw	Nwell 电阻，染色层有图像，diff 层没有图像	PLUS MINUS
		rpw	P 阱里的电阻，染色层有图像，diff 层没有图像	PLUS MINUS
		rsh	薄膜电阻	PLUS MINUS
		rbs	埋层电阻	PLUS MINUS
		rppo	Poly resistor in Psub	PLUS MINUS
		rnpo	Poly resistor in Nwell	PLUS MINUS
		rppo_t	Poly resistor in Pwell	PLUS MINUS B
		rnpo_t	Poly resistor in Nwell	PLUS MINUS B
		pfuse	poly 层 fuse	PLUS MINUS
		mfuse	金属层 fuse	PLUS MINUS
		rp1	PLOY1 层电阻，与 mos 管颜色相近	PLUS MINUS
		rp2	PLOY2 层电阻，颜色较深	PLUS MINUS
DIO	w l m	pdio	P 型二极管	PLUS MINUS
		ndio	N 型二极管	PLUS MINUS
		pdio_a	P 型天线二极管	PLUS MINUS
		ndio_a	N 型天线二极管	PLUS MINUS
CAP	w l m	mim	metal-metal 双极板电容	PLUS MINUS
		mom	叉指电容，两端交错镶嵌型 mom	PLUS MINUS
		p1pw	poly1_pwell 电容	PLUS MINUS
		p1nw	poly1_nwell 电容	PLUS MINUS
		pip	poly-poly 多晶电容	PLUS MINUS
IND	m w l sp turns	ind_std		PLUS MINUS
		ind_sym		PLUS MINUS
		ind	电感，绕成环形	PLUS MINUS

表 4 模拟器件

2.4. 实例命名规则

实例命名规则：实例前缀名+数字编号

实例前缀名如下表所示：

实例	实例前缀名
MOS 管	M
三极管	Q
电阻	R
二极管	D
电容	C
电感	L
宏单元	I
打包单元	SI

表 5 实例前缀名

2.5. 线网命名规则

软件默认的线网命名规则为：实例名称_端口名

如，M546_B 表示线网上连接了 M564 器件的 B 端口。命名时，先按端口 IO 属性输出、双向、输入的优先级，端口 IO 属性相同的情况下按实例名称的字母由小到大的优先级。

如用户需修改，可以手动指定线网名，详见 [4.16.指定线网名称](#)。软件优先以用户手动指定的线网名命名线网。

2.6. 单元名称

基本器件名称小写，宏单元名称大写

单元名称最好都小写或大写，不建议大小写混合使用

建议使用数字+英文字母和'_'等字符命名，首字母为英文字母

第三章 快捷键一览表

功能	快捷键
文 件	
新建单元视图	Ctrl+N
打开	Ctrl+O
关闭	Ctrl+W
保存	Ctrl+S
只读	F11
编 辑	
刷新数据	F5
撤销	U
恢复	Shift+U
移动	M
拷贝	C
拉伸	S
删除	Del
逆时针旋转	Shift+L
顺时针旋转	Shift+R
水平镜像	Shift+H
垂直镜像	Shift+V
逆时针旋转	Alt+L
顺时针旋转	Alt+R
水平镜像	Alt+H
垂直镜像	Alt+V
切割	Shift+C
合并	Shift+M
左移动	Shift+Left
右移动	Shift+Right

功能	快捷键
上移动	Shift+Up
下移动	Shift+Down
实例对齐	Ctrl+F1
左对齐	Ctrl+Shift+Left
右对齐	Ctrl+Shift+Right
上对齐	Ctrl+Shift+Up
下对齐	Ctrl+Shift+Down
水平等间距	Ctrl+Shift+X
垂直等间距	Ctrl+Shift+Y
更新原点	Ctrl+Shift+U
移动原点	Ctrl+Alt+Shift+U
编辑	Shift+X
编辑(R 只读)	Alt+Shift+X
原地编辑	X
快速原地编辑	Ctrl+X
退出到上层	Shift+B
退出到指定层	B
单元视图	Shift+Q
选择所有	Ctrl+A
反向选择	Shift+A
取消所有	Ctrl+D
拷贝到剪贴板	Ctrl+C
从剪贴板中粘贴	Ctrl+V
视 图	
放大	]
缩小	[
缩放到选中图元	Ctrl+T
缩放到合适	F

功能	快捷键
回退到前一个视图位置	W
前进到下一个视图位置	Shift+W
上一个位置	Ctrl+/
下一个位置	Ctrl+*
输出窗口的上一项	Ctrl+Tab
输出窗口的下一项	Tab
导航窗口的上一个	Ctrl+?
导航窗口的下一个	Ctrl+Alt+*
仅显示选中的图元	Ctrl+`
隐藏图像	`
发送坐标	Ctrl+Alt+Shift+S
接收坐标	Ctrl+Alt+Shift+R
定位	Ctrl+L
显示命令对话框	F3
创 建	
实例	I
快速添加 noconn	Space
矩形	R
多边形	Shift+P
标注线	P
等宽线	Ctrl+P
管脚	Ctrl+Shift+P
文本标记	L
孔	O
通过 Layer12 层的相交面积添加孔矩阵	Shift+O
使用层区域添加孔矩阵	Ctrl+Alt+O
检 查	

功能	快捷键
ERC 查错	/
实例透视确认	T
查找标记	G
删除当前视图的标记	Ctrl+G
标 注	
重组 W/L 标记图元	#
解散 W/L 标记图元	@
更新器件参数	!
管脚连接线	F9
融合悬空线	Ctrl+Alt+M
重叠选中的器件管脚	,
交换管脚的 Diff 和 Metal1 层	.
版 图	
提取 W/L 标记(高级)	Ctrl+Shift+O
跟 踪	
添加高亮线网	(
清除高亮线网	*
清除所有的高亮线网	)
交叉定位	F7
工 具	
查找/替换	Shift+S
创建标尺	K
清除所有标尺	Shift+K
线搜索	F6
搜索当前屏的线	Ctrl+F6
搜索孔	F4
重新生成网表	Ctrl+Alt+Shift+H
增量生成线网	Ctrl+H

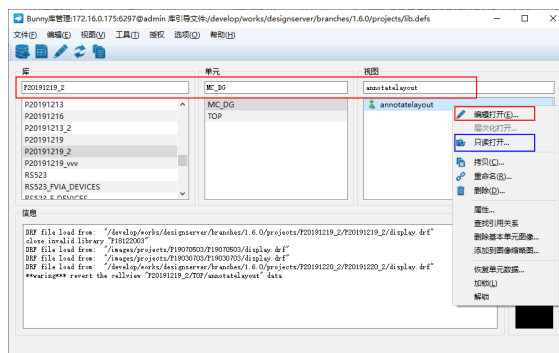
功能	快捷键
更新管脚	Ctrl+Alt+U
转换为原理图	Ctrl+Alt+Shift+E
交换 MOS 器件的 D/S	Ctrl+F3
交换选中器件的 D/S 管脚	Ctrl+Alt+F3
交换选中器件的 PLUS/MINUS 管脚	Alt+F3
其他操作	
显示	E
关于	F1

表 6 快捷键

第四章 常用操作

4.1. 打开标注视图

在“BunnyGS 库管理界面”中，选择库、单元，双击 annotatelayout 或在“视图”列中鼠标右键选择“编辑打开”。

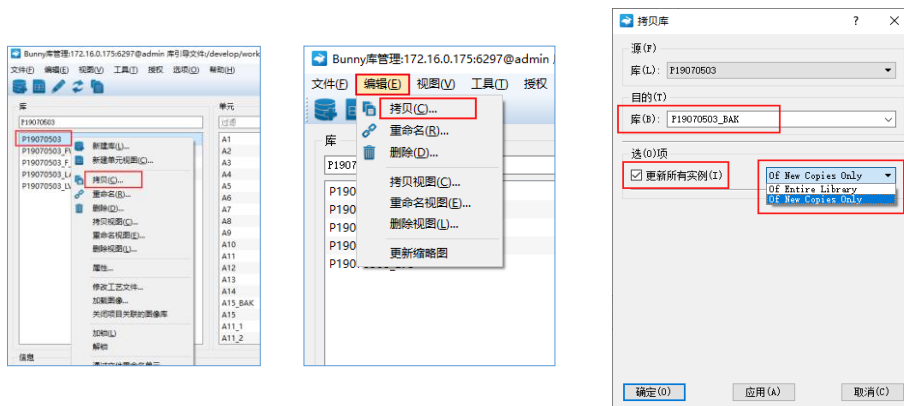


建议每次以只读方式打开，如需修改数据，可使用菜单“文件→可写”转换为编辑模式，编辑结束后，再使用菜单“文件→只读”转换为只读状态。

双击默认打开方式可在“选项→用户设置”对话框中修改。

4.2. 拷贝库

在“BunnyGS 库管理界面”中，在库列表选中库，鼠标右键“拷贝”或执行菜单“编辑→拷贝”，弹出对话框，输入目的库名称，点击确定。



对如下参数含义作简要说明：

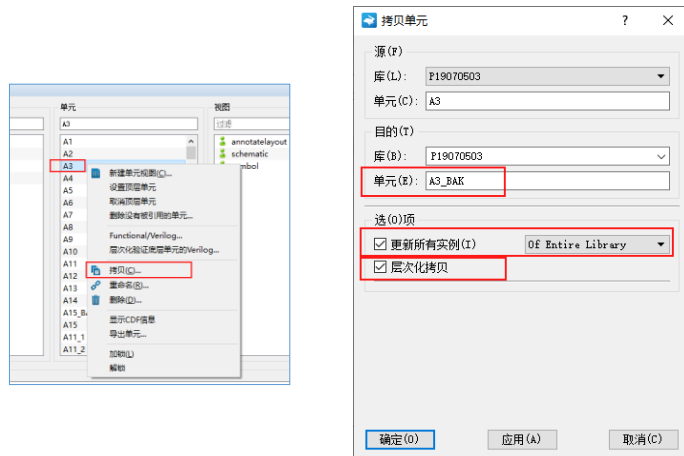
- 目的库：目的库名称
- 更新所有实例：是否修改目标库的引用关系

勾选：新生成的库的单元视图中，引用的实例为新生成的库

不勾选：新生成的库的单元引用的还是原始库的单元

4.3. 拷贝单元

在“BunnyGS 库管理界面”中，在“单元”列表选中单元，鼠标右键“拷贝”弹出对话框，输入目的单元名称，点击确定。



对如下参数含义作简要说明：

- 目的库、单元：目的库名称和目的单元名称
- 更新所有实例：是否修改目标库的引用关系

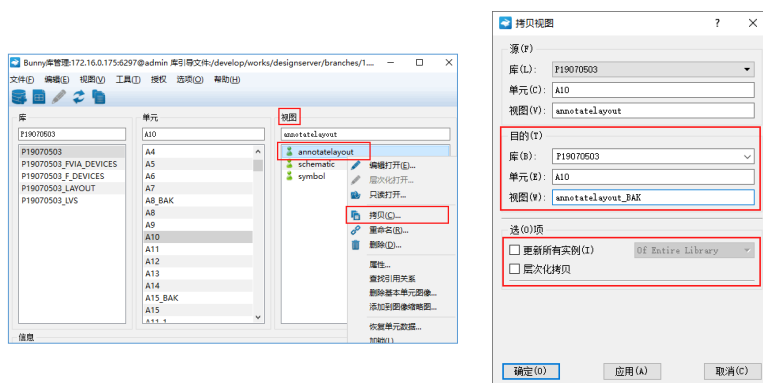
勾选：新生成的库的单元视图中，引用的实例为新生成的库

不勾选：新生成的库的单元引用的还是原始库的单元

- 层次化拷贝：从顶层到底层拷贝引用的视图单元

4.4. 拷贝视图

在“BunnyGS 库管理界面”中，在“视图”列表选中视图，鼠标右键“拷贝”弹出对话框，输入目的视图名称，点击确定。



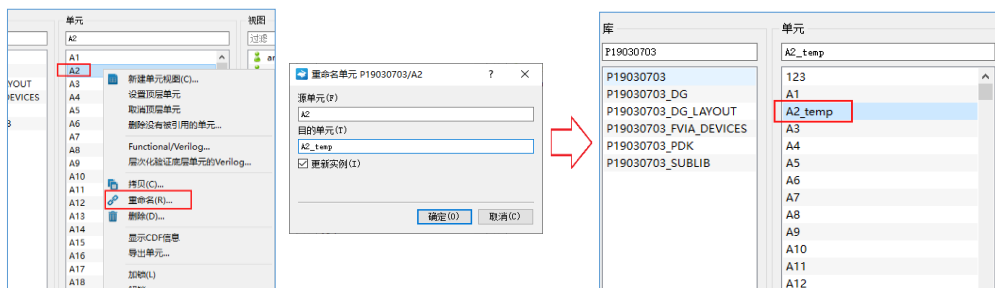
对如下参数含义作简要说明：

- 目的库、单元、视图：目的库名称、目的单元名称和目的视图名称

- 更新所有实例：是否修改目标库的引用关系
 勾选：新生成的库的单元视图中，引用的实例为新生成的库
 不勾选：新生成的库的单元引用的还是原始库的单元
- 层次化拷贝：从顶层到底层拷贝引用的视图单元

4.5. 重命名单元

在“BunnyGS 库管理界面”中，在“单元”列表选中单元，鼠标右键“重命名”弹出对话框，输入目的单元名称，点击确定。

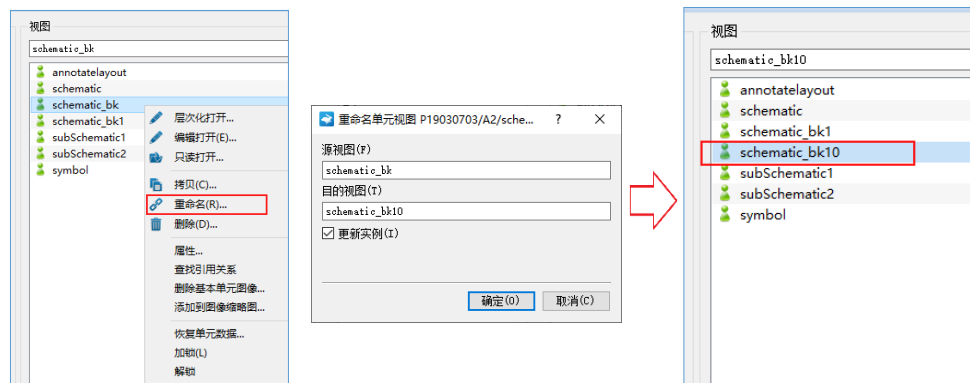


对如下参数含义作简要说明：

- 目的单元：目的单元名称
- 更新实例：是否更新实例

4.6. 重命名视图

在“BunnyGS 库管理界面”中，在“视图”列表选中视图，鼠标右键“重命名”弹出对话框，输入目的视图名称，点击确定。

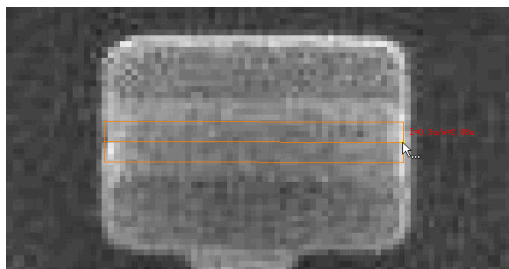


对如下参数含义作简要说明：

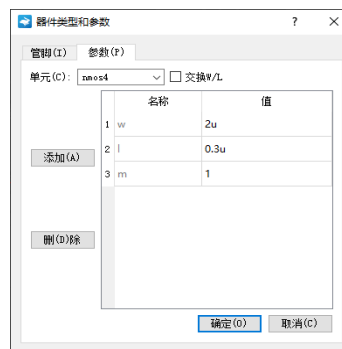
- 目的视图：目的视图名称
- 更新实例：是否更新实例

4.7. 器件提取

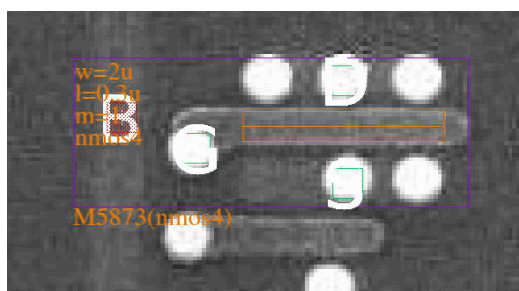
点击工具栏中的标记，绘制器件尺寸。结束后，点击对应工具栏中的器件类型，框选器件区域，点击器件管脚位置，完成器件提取。详见[7.4.器件提取](#)。



绘制器件尺寸标记



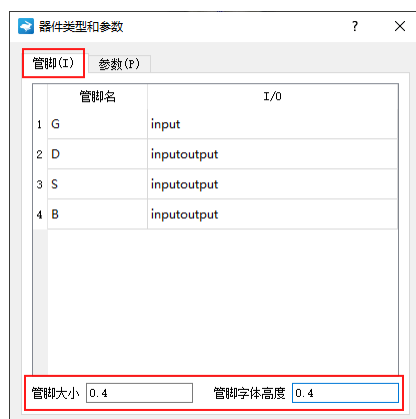
提取 MOS 器件



MOS 器件

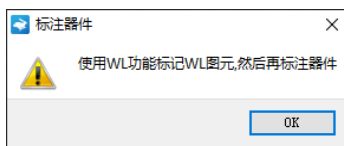
4.8. 设置器件管脚大小和字体高度

提取器件时，先使用 W/L Mark 绘制器件尺寸，然后在工具栏上点击器件类型图标，框选器件区域，弹出设置“器件类型和参数”的对话框，在“管脚”Tab 上设置器件的管脚大小和字体高度，如下图所示。



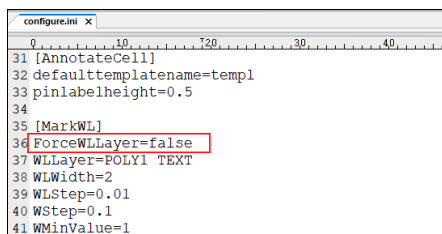
4.9. 忽略提取器件时提示 W/L Mark 约束

在器件提取时，点击工具栏的器件图标，框选器件区域后，软件可能提示缺少 W/LMark，如下图所示。



这是因为在绘制 W/L Mark 后，再提取对应器件时，会默认读取对应的 w, l 参数，不用手动输入参数，防止人为因素产生的错误。如缺少单位、尺寸输入错误等。

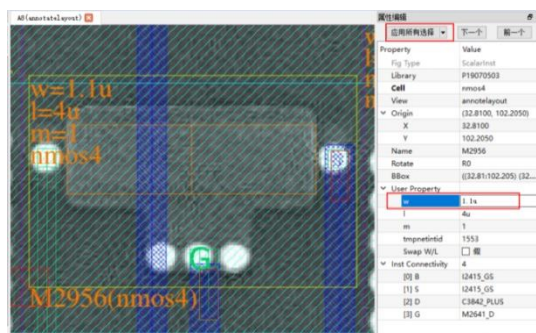
如果需忽略该约束，可以在 BunnyGS 软件目录下的配置文件 configure.ini 中进行相应的修改。打开 BunnyGS 软件所在的目录，并用文本软件打开 configure.ini 文件，查找关键字“ForceWLLayer”将对应的值修改为 false，重新启动 BunnyGS 即可。



4.10. 修改器件参数

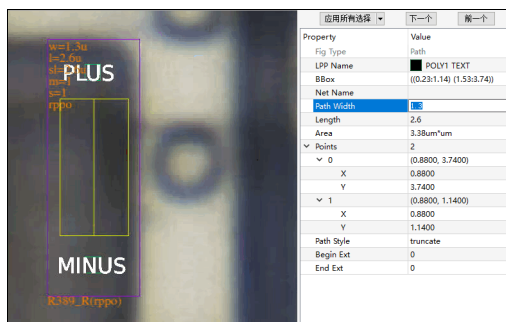
BunnyGS 提供了两种方法修改器件参数：选中器件，在属性编辑标签页修改对应的参数值；选中器件的 W/L 标记，在属性编辑标签页修改对应的参数值，器件的参数会同步修改。

(1) 选中器件，打开属性编辑标签页或按快捷键 Q，修改 User Property 下的对应参数。编辑修改后，点击“应用当前”或“应用所有选择”完成修改。图示修改了 nmos4 类型器件的 w 值。



(2) 选中器件的 W/L 标记，修改对应的 Width 或 Length 值。编辑修改后，点击“应用当前”或“应用所有选择”完成修改。图示修改了 rppo 类型器件的 W/L 标记的 Width 值，

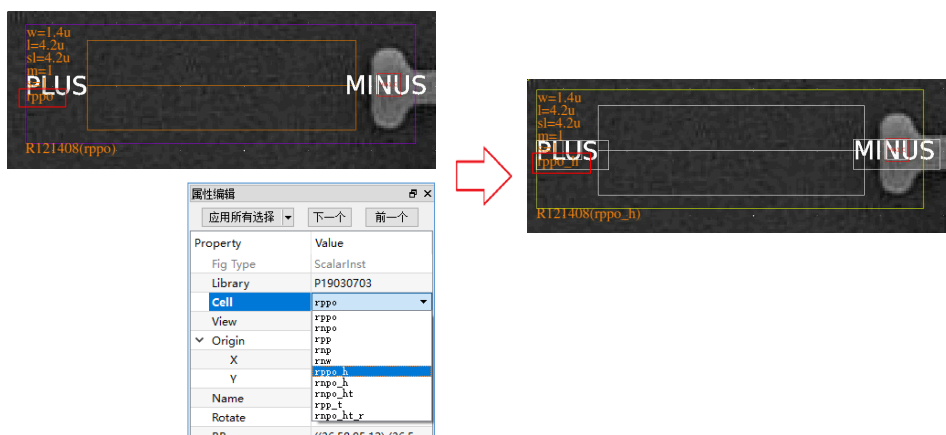
同步修改了器件参数。



需要修改多个器件参数时，可以选中多个器件，修改后，点击“应用所有选择”完成批量修改。

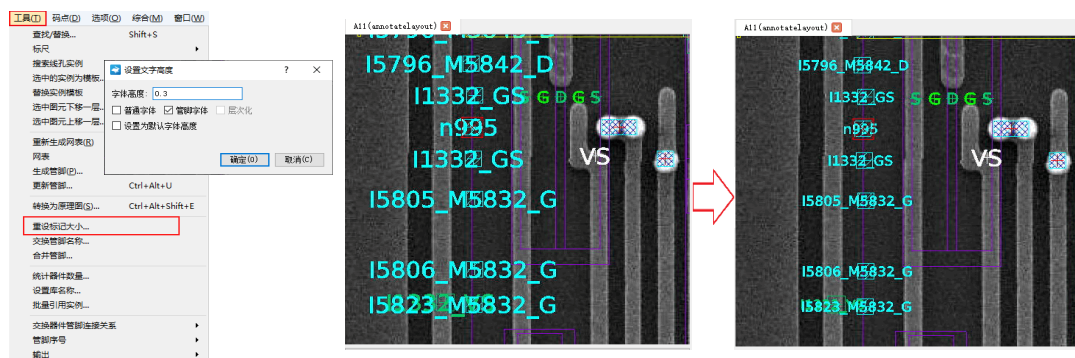
4.11. 修改器件类型

标注视图时器件可能提取错误，如果器件类型提取错误，需要删除该器件，重新标注器件。如果器件类型正确但模型错误，只需要修改属性界面的 cellname。图示修改了 rppo 类型器件 R121408 引用的模板单元的名称，编辑修改后，点击“应用当前”或“应用所有选择”完成修改。



4.12. 重设标记大小

执行菜单“工具→重设标记大小”可以重设普通字体或管脚字体的大小，图示将管脚字体高度由 0.5 设为 0.3。

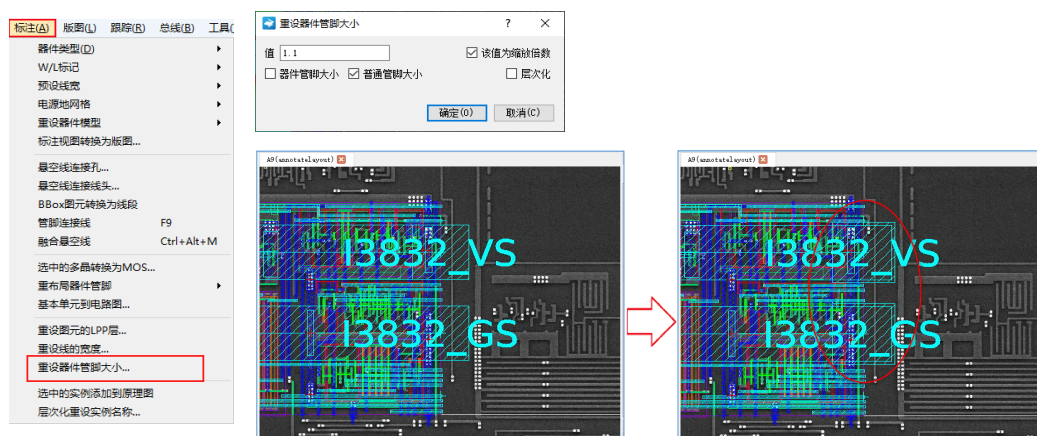


对如下参数含义作简要说明：

- 普通字体：器件管脚的字体高度
- 管脚字体：普通管脚的字体高度
- 设置为默认字体高度：将输入的字体高度值设置为默认字体高度

4.13. 重设器件管脚大小

重设器件管脚大小，是对已有的器件管脚进行修改。执行菜单“标注→重设器件管脚大小”可以修改器件管脚和普通管脚的大小。图示，设置普通管脚的 width 和 height 由 10um 缩放 1.1 倍，即修改为 11um。



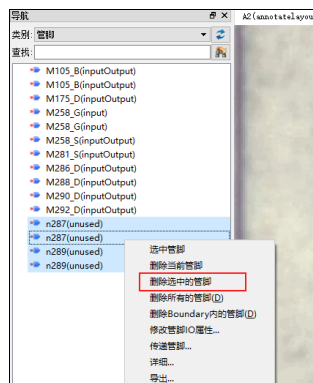
对如下参数含义作简要说明：

- 该值为缩放倍数：勾选时，输入的值表示缩放倍数。不勾选时，输入的值是重设后的管脚大小，单位 um。
- 器件管脚大小：设置器件管脚的大小
- 普通管脚大小：设置普通管脚的大小
- 层次化：底层引用单元一并修改

4.14. 删除选中管脚

删除选中管脚有如下两种方法，通常使用第一种方法：

(1) 在导航标签页查找管脚，选中列表中的管脚并点击“删除选中的管脚”删除选中的管脚。

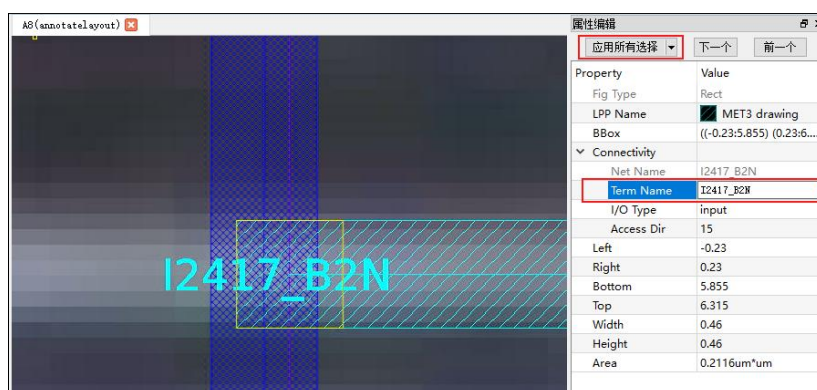


(2) 在标注视图上选中管脚后，按 **Del** 键、工具栏图标  或执行菜单“编辑→删除”删除选中的管脚。

4.15. 修改管脚名称

选中管脚图元后，在属性对话框中，修改 Term Name 对应的值。点击“应用当前”或“应用所有选择”完成修改。

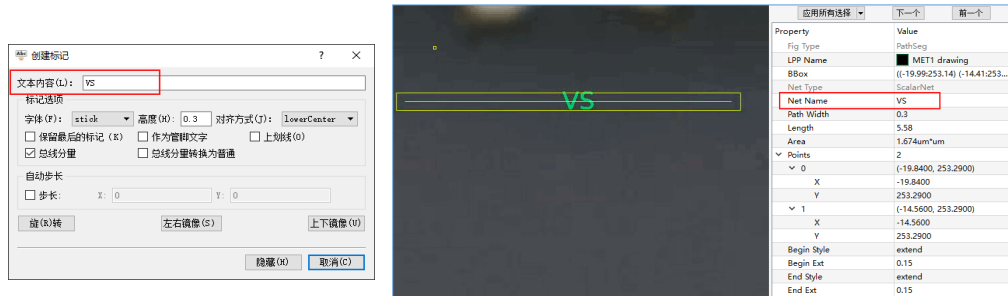
图示修改了管脚 I2417_B2N 的 Term Name：



4.16. 指定线网名称

绘制线网后，软件会根据线网命名规则默认命名线网，详见 [2.5.线网命名规则](#)。如需修改，可以通过在线网上打文本标记的方式指定线网名称。

切换到线网对应的图像层，按工具栏图标、快捷键 **L** 或点击菜单“创建→文本标记”创建文本标记，在弹出的对话框上输入线网名称，并将文本标记打在线网上，生成线网后，在属性编辑标签页查看修改后的 Net Name。

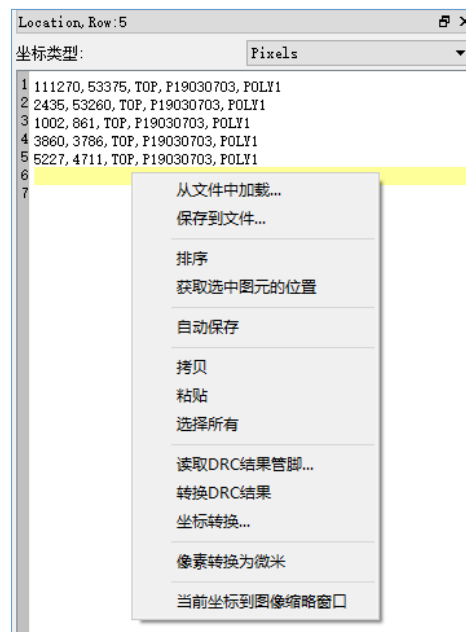


注：文本标记应该和连接的线是同一个 LPP 层。

底层线为 MET1 drawing 时，对应的标记也是 MET1 drawing

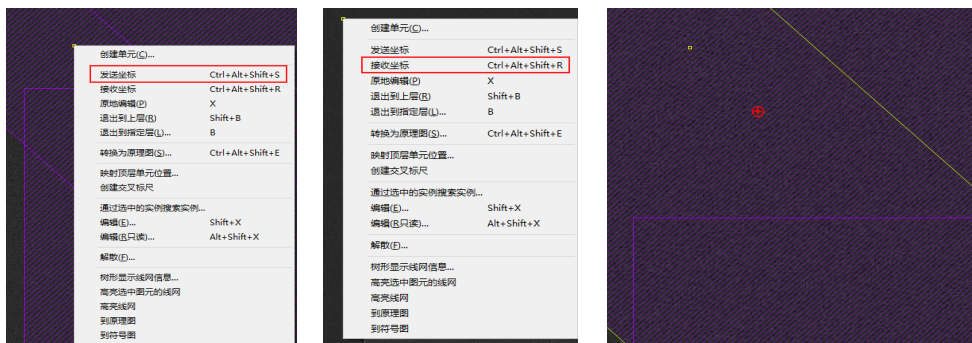
4.17. 坐标定位

定位窗口显示坐标位置的记录信息，定位功能可以方便快速地定位坐标位置。



（1）发送坐标和接受坐标

鼠标右键“发送坐标”可以发送当前模块的坐标图像的位置到定位窗口。发送坐标后，在任意位置或其他视图鼠标右键择“接受坐标”即可回到原坐标位置。

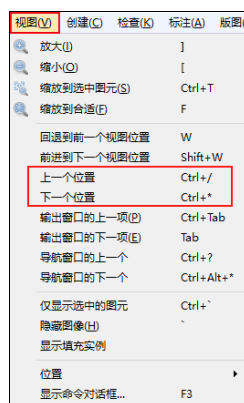


(2) 多个坐标定位

实际情况下，用户常会设置多个坐标点。可以在定位窗口双击坐标，回到相应的原坐标位置。

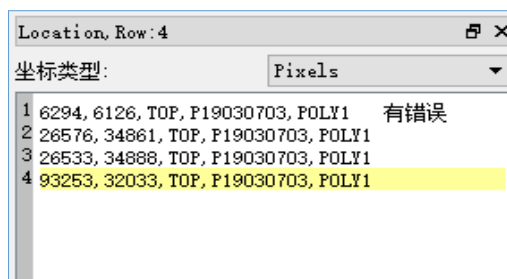


也可以通过快捷键 **Ctrl+/**、**Ctrl+***或菜单“视图→上一个位置”、“视图→下一个位置”切换坐标点。

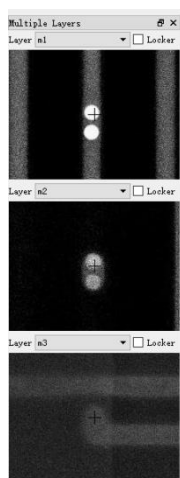


(3) 编辑坐标数据

用户还可以对坐标数据进行编辑，对所在坐标的问题进行文本记录。



4.18. 多层浏览

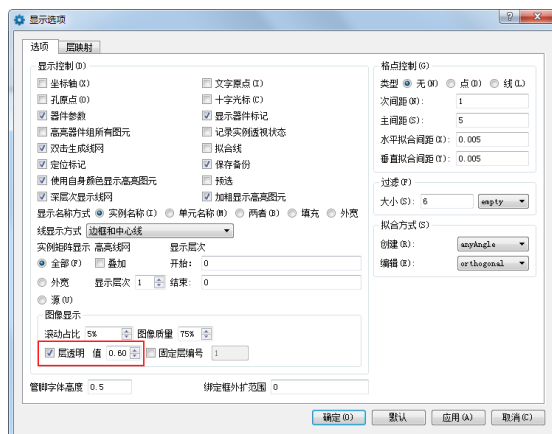


在查看芯片各层照片连接时，多层图像是非常有用的。在“多层图像”标签页中，多层图像是动态的，随着光标的移动或者切换图像层，图像会时时更新，每个图像格中间有一个十字，该十字表示鼠标当前位置。

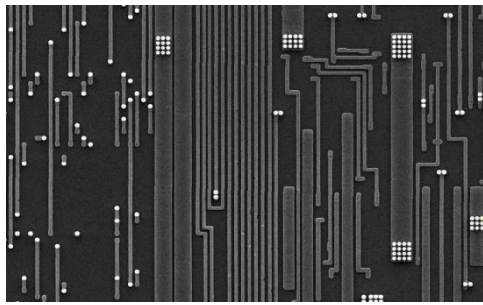
软件默认显示上一图像层、当前图像层和下一图像层，可以通过右键“添加项”或“隐藏项”来添加或隐藏图像层。

4.19. 同时显示上下两层图像

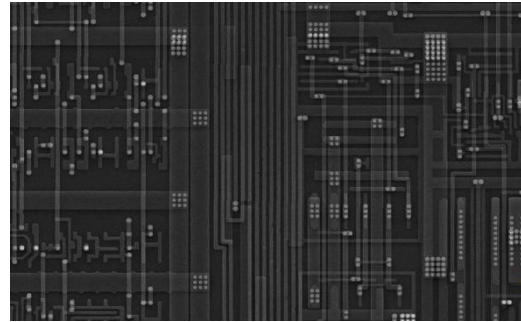
通过菜单“选项→显示”设置层透明。上层图像设置透明后，可以隐约看见下层的图像。



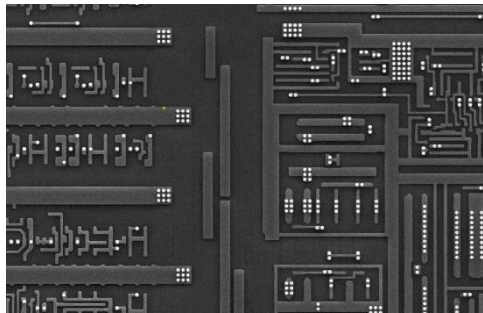
下图所示，设置 m2 层图像透明，可以隐约看见 m1 层的图像。



m2



m2, 透明



m1

4.20. 浏览图像

初次打开标注视图时，主窗口会将图像缩放到合适尺寸，显示单元视图的所有图元对象。

用户可以对窗口屏幕进行缩放、移动操作，使得当前窗口中只显示用户感兴趣的内容。

(1) 缩放

- 放大图像

鼠标滚轮向前滚动、快捷键`]`、菜单“视图→放大”、工具栏上的放大按钮

- 区域放大图像

单击鼠标右键不弹起，移动到需要位置再弹起，区域放大

- 缩小图像

鼠标滚轮向后滚动、快捷键`[`、菜单“视图→缩小”、工具栏上的缩小按钮

- 缩放到选中图元

选中图元，按快捷键 `Ctrl+T`、点击菜单“视图→缩放到选中图元”或者点击工具栏上的按钮

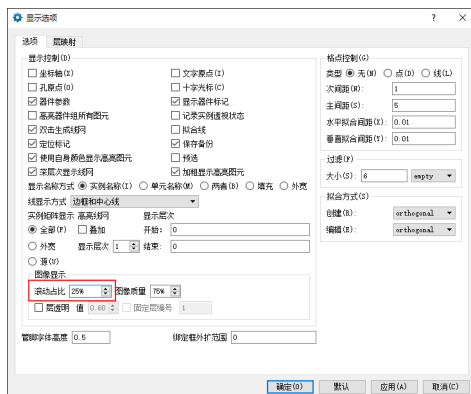
- 缩放到合适

按快捷键 `F`、菜单“视图→缩放到合适”、工具栏上的按钮

(2) 移动

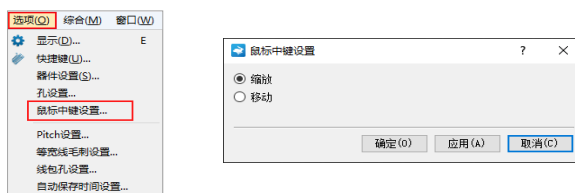
- 使用方向键，使屏幕朝四个方向移动。

滚动占比可以通过菜单“选项→显示”设置，若设置为 25%，则使用方向键每次移动 0.25 倍屏幕大小。



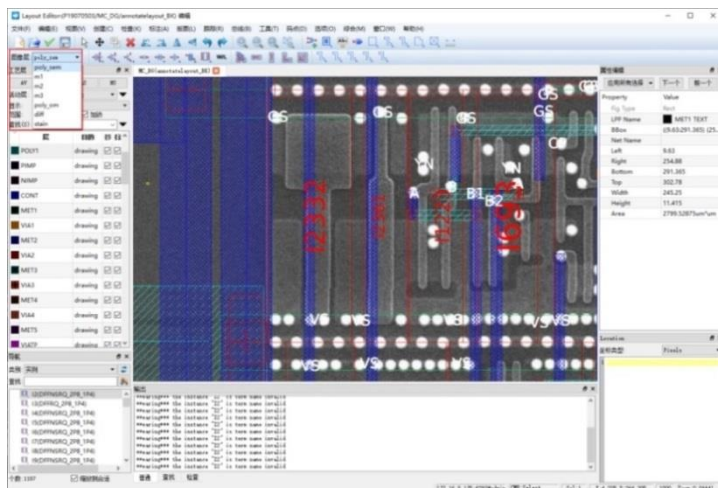
- 使用 **PgUp**、**PgDn**、**Home**、**End** 键，使屏幕朝四个方向移动，间隔 0.9 倍屏幕大小
- 按住 **Shift**，同时滚动鼠标滚轮，可以左右移动屏幕。
- 按住 **Ctrl**，同时滚动鼠标滚轮，可以上下移动屏幕。

鼠标中键默认是缩放操作，如需修改成移动操作，可以通过菜单“选项→鼠标中键设置”设置。



4.21. 切换图像层

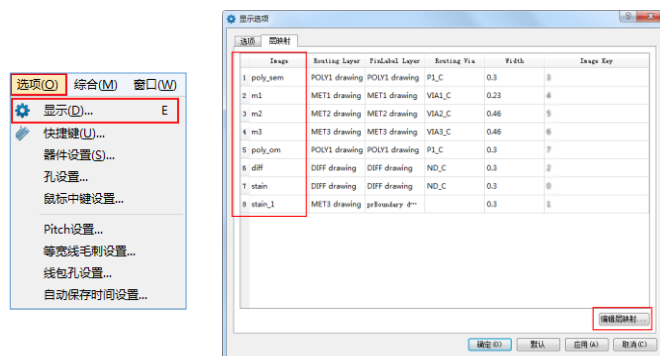
芯片的照片通常包括多层，每一层对应不同的芯片层，比如染色、多晶、金属等。在查看图像单元的标注视图时，需要切换图像层。打开一层图像后，工具栏会显示当前图像的名称，如下图所示：



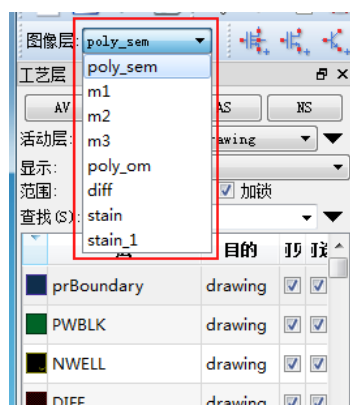
有多种方法可以切换图像层：

- 使用键盘上的数字键进行切换

芯联成给定的芯片照片数据，默认是从 Poly, M1,M2,M3...芯片顶层，DIFF, STAIN 顺序，对应数字键盘 1、2、3...。还可以通过按钮“编辑层映射...”修改快捷键。

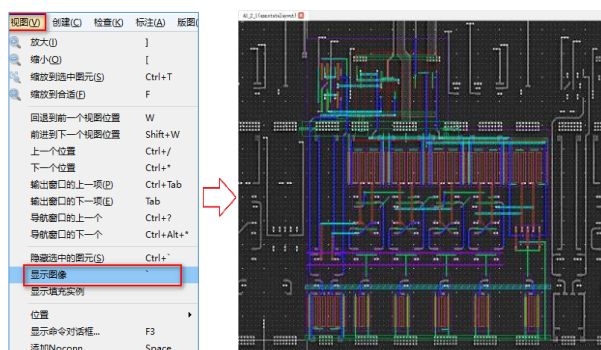


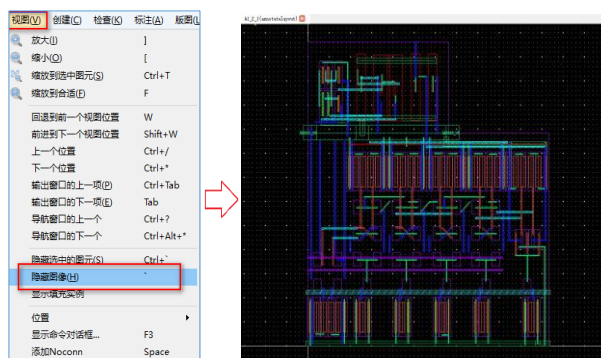
- 使用快捷键‘+’向上切换图像，快捷键‘-’向下切换图像
- 工具栏“图像层”下拉菜单切换图像



4.22. 显示和隐藏芯片背景图

当用户在浏览标注视图时，可以将芯片背景图像隐藏，方便查看标注信息。可按快捷键“+”或点击菜单“视图→显示图像”或“隐藏图像”显示和隐藏背景图像方法。

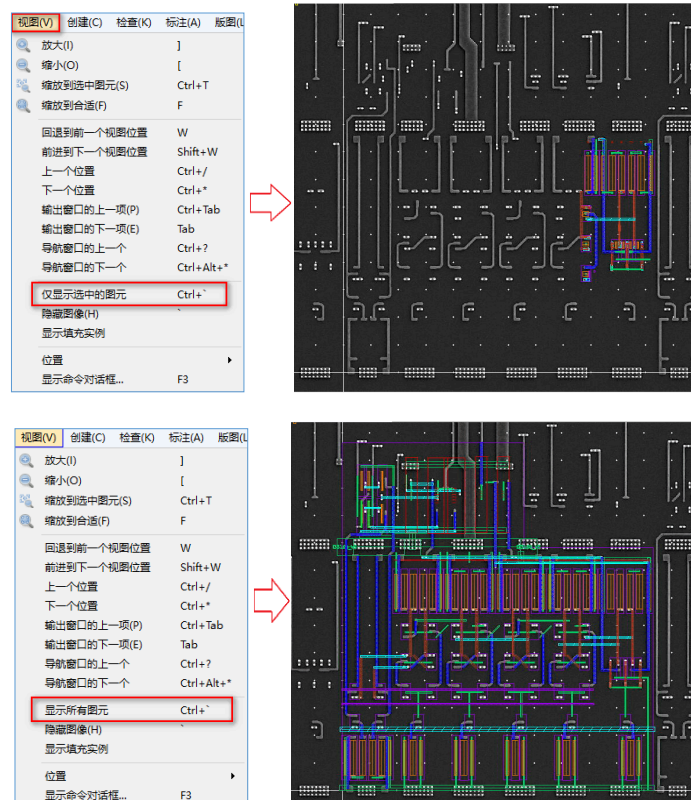




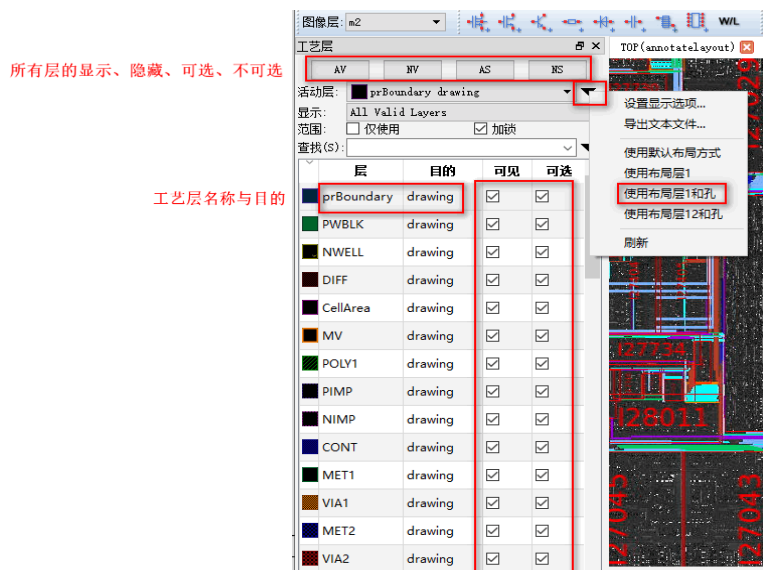
4.23. 隐藏和显示未选中图元

当用户在浏览标注视图时，可以将图元隐藏，只显示背景图像，这样可以更简洁。软件只会隐藏所有未被选中的图元，如果图元被选中，这些图元不会被隐藏。通常可以先选中想要查看的图元，然后隐藏未选中的图元，就可以很容易查看自己想要的图元了。

隐藏和显示图元的方法为：点击菜单命令“视图→仅显示选中的图元”或快捷键 **Ctrl + `**，可以仅显示选中的图元。再次按快捷键 **Ctrl + `**或点击菜单命令“视图→显示所有图元”，可以显示所有图元。



4.24. 设置元素对应工艺层的可见可写

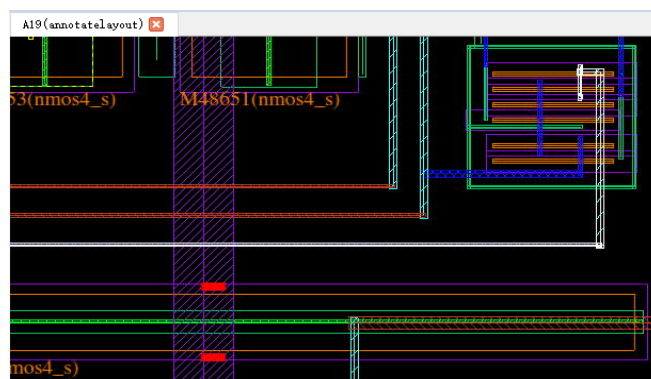


在“工艺层”标签页中，显示了该单元使用的工艺层信息，可以设置对应层的显示和隐藏。点击“使用布局层 1 和孔”时，软件默认只显示当前图像层对应的工艺层和对应的孔层，这样在切换图像层时，可以只显示本层的线孔，方便追踪线网关系。对各参数含义说明如下：

- AV：所有工艺层都可见
- NV：所有工艺层都隐藏
- AS：所有工艺层都可选
- NS：所有工艺层都不可选
- 使用布局层 1：只显示当前图像层对应的工艺层
- 使用布局层 1 和孔：只显示当前图像层对应的工艺层和对应的孔层
- 使用布局层 12 和孔：只显示当前图像层对应的工艺层、对应的孔层和上层图像层对应的工艺层
- All Valid Layers：显示所有有效层
- All Routing Layers：显示所有布线层
- All Layers：显示所有层
- 仅使用：仅显示所有使用到的工艺层
- 加锁：一般勾选，仅使用与当前图像层对应的工艺层

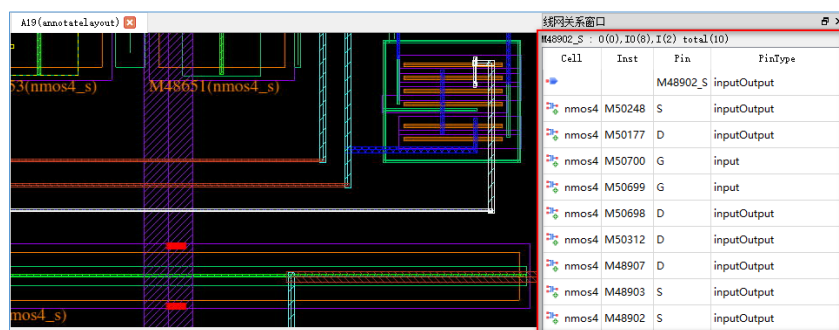
4.25. 查看线网连接关系

双击一根引线可以追踪线网，软件将选中整个线网，并高亮显示。



双击线网，高亮显示（白色）

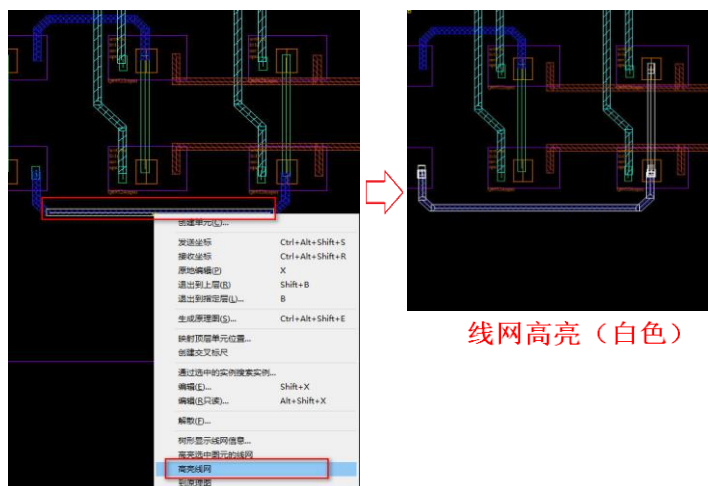
和电路图类似，追踪线网后，软件会将线网上连接的所有管脚列在线网关系窗口中，双击可以定位。和电路图不同的是，标注视图追踪后，因为所有的元件都在同一个视图内，所以软件不区分元件的位置。线网关系窗口中显示单元名、实例名、线网连接的管脚、管脚属性，如下图所示：



4.26. 高亮多根线网

用户可以在标注视图对某根引线或多根线网进行加亮显示。

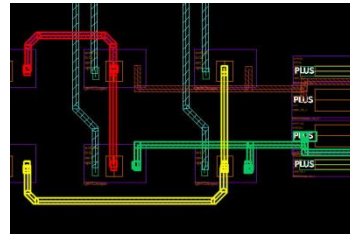
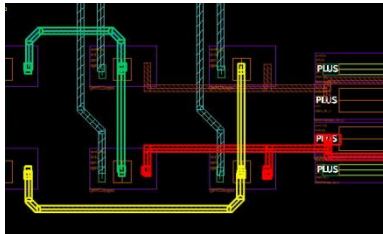
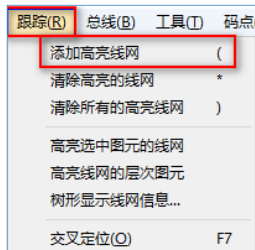
- 加亮线网的方法：
 1. 双击可选的线
 2. 选中这根线，鼠标右键，选择“高亮线网”



线网高亮（白色）

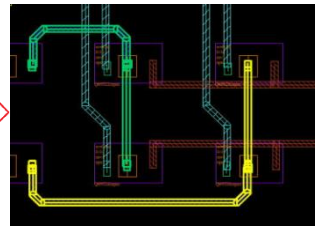
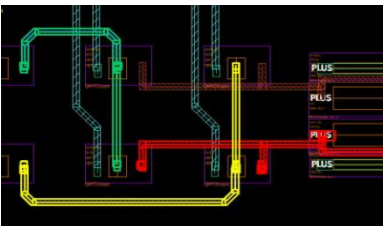
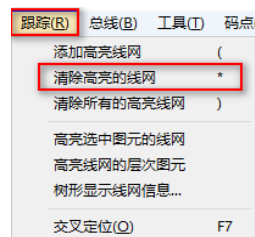
- 加亮多条线网的步骤:

- 点击菜单命令“跟踪→添加高亮线网”或快捷键(
- 点击一个或者多个线网，加亮。
- 点击一个已经加亮的线网，软件默认使用新的颜色表示。



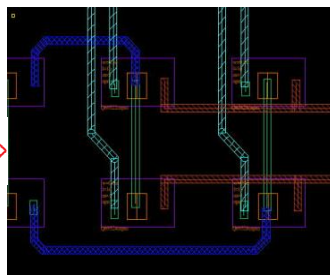
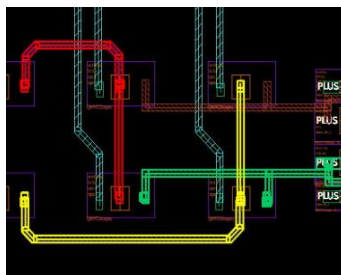
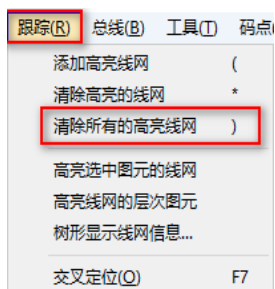
- 取消单个线网高亮的步骤:

选中一根或多根已经高亮的线网，点击菜单命令“跟踪→清除高亮的线网”或快捷键*。

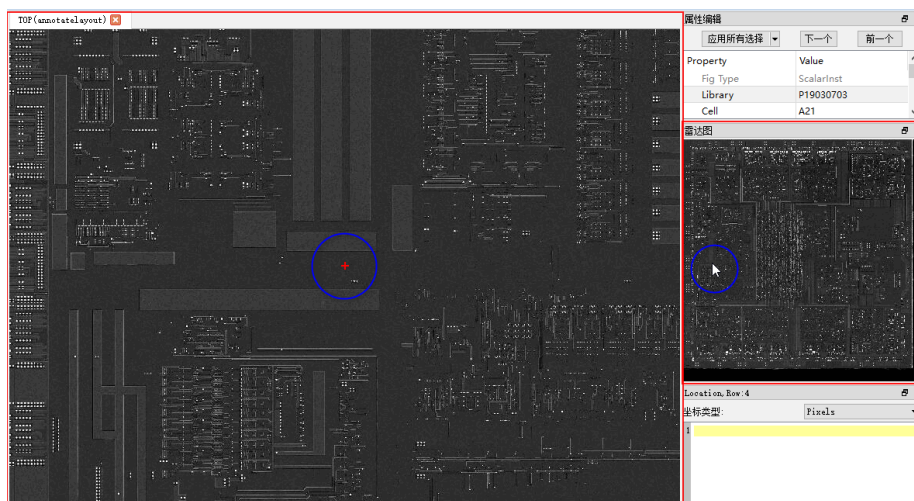


- 取消所有线网高亮的步骤:

点击菜单命令“跟踪→清除所有的高亮线网”、按快捷键)或 Ctrl+D。



4.27. 雷达图

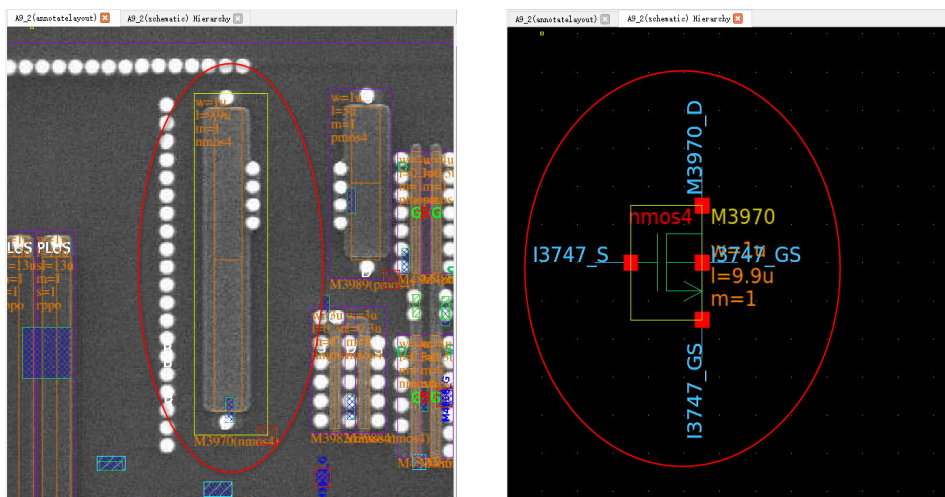


雷达图区域代表了整个芯片区域，鼠标在雷达图上点击时，主窗口将移动到芯片图像的相应位置，并用红色十字表示。

4.28. 交叉定位

顶层平台化电路经过整理后，变成层次化电路。可以使用交叉定位功能，确定电路器件在标注视图的位置，使用户更好地理解电路的结构和原理。

交叉定位用在电路视图和标注视图之间，在电路视图中选中器件或线网可以定位到标注视图并选中相应的器件查看，同样在标注视图中选中器件可以定位到电路视图中查看。下图为选中的器件从标注视图定位到电路视图的效果：



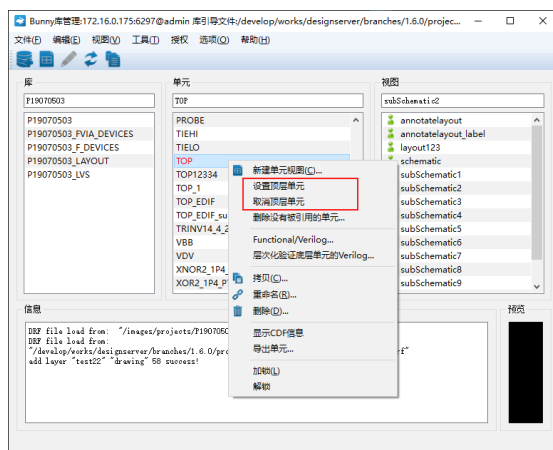
4.28.1. 设置交叉定位的顶层单元

平台化的电路经过整理后，一些宏单元是没有标注视图的，所以需要用设置顶层单元的

功能来指示器件来自哪个标注视图。如果顶层标注视图是解散的，只有基本门和器件，电路中所有的器件和门都来自该标注视图，这只需设置该单元为顶层单元。如果还有其他标注视图单元，则需根据情况设置不同的顶层单元。

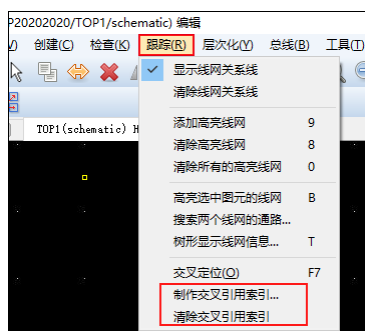
芯联成整理后的数据，已经制作了交叉定位索引，不需要设置顶层单元。

设置交叉定位顶层单元的方法：在 BunnyGS 库管理界面中选择单元，右键“**设置顶层单元**”可以将当前单元设置为交叉定位的顶层单元。右键“**取消顶层单元**”将取消当前单元交叉定位的顶层单元。如下图所示：



4.28.2. 制作和取消交叉引用索引

在顶层电路视图，通过菜单“跟踪→制作交叉引用索引”和“清除交叉引用索引”可以制作和清除交叉引用索引。



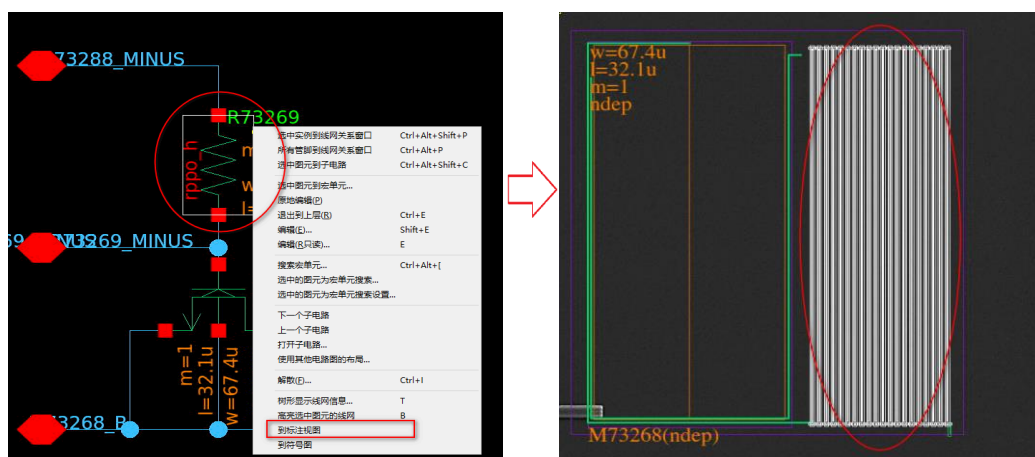
有交叉索引时，软件优先引用索引，其次使用设置的顶层单元。建议在整理阶段不生成交叉引用索引文件，如果有交叉索引，建议清除索引，在电路整理结束后再生成。当数据修改时，如修改库名称、解散实例、修改单元名称时，交叉引用索引需重新生成。

4.28.3. 从电路视图向标注视图定位

在电路视图中，可以选中单个或多个元素，在标注视图中定位出对应元素。可以选中单个元素或多个元素进行定位，如下几类元素可以从电路图向标注数据中定位：

- 基本数字单元
- 基本模拟器件
- 宏单元实例
- 线网

从电路图向标注数据定位的步骤：打开顶层单元电路视图，选中需要定位的元素，右键“到标注视图”或按 **F7**，软件会自动切换到标注视图并选中相应的元素。



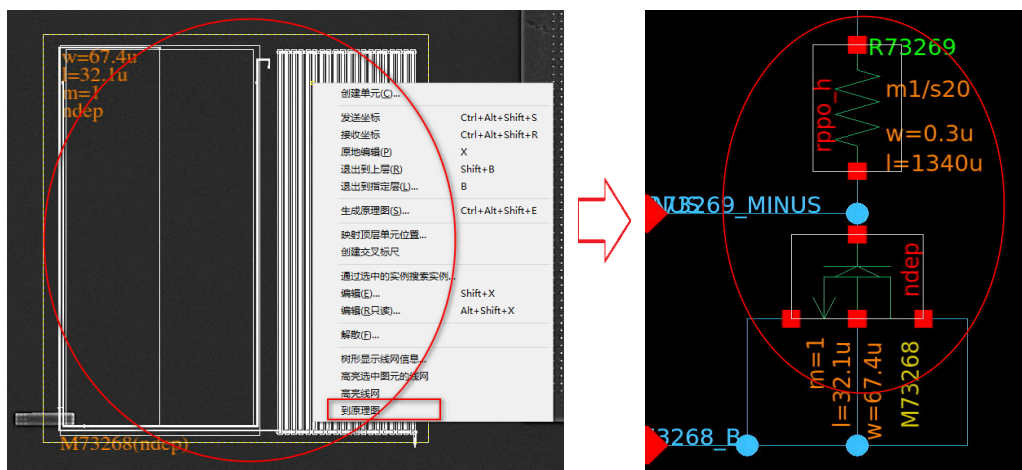
如需仅显示高亮的图元，可以参考 [4.23.隐藏和显示未选中图元](#)。

4.28.4. 从标注视图向电路视图定位

从标注数据向电路图中定位时，如下几类元素可以进行定位：

- 基本数字单元
- 基本模拟器件
- 线网

从标注数据向电路图定位的步骤：打开标注视图，选中需要定位的元素，右键“到原理图”或按 **F7**，软件会自动切换到电路视图并选中相应的元素。



4.29. 线孔提取

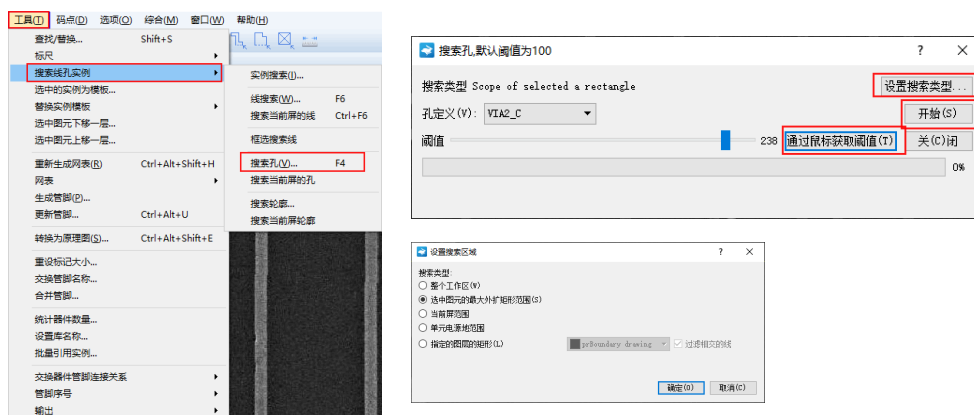
4.29.1. 线自动搜索

在执行线自动搜索前，先选择标尺量取线宽。切换图像层，选择 prBoundary drawing 层，框选对象，执行菜单“工具→搜索线孔实例→线搜索”，设置搜索范围，设置对应的图像层和线网层。输入量取的线宽 L 值，点击“开始”自动搜索线。详见 [8.7.1. 线自动搜索](#)。



4.29.2. 孔自动搜索

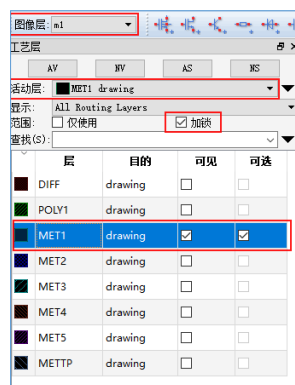
选择 prBoundary drawing 层，按快捷键 **F4** 或执行菜单“工具→搜索线孔实例→搜索孔”弹出对话框，设置搜索范围，点击“开始”，自动搜索孔。详见 [8.7.2. 孔自动搜索](#)。



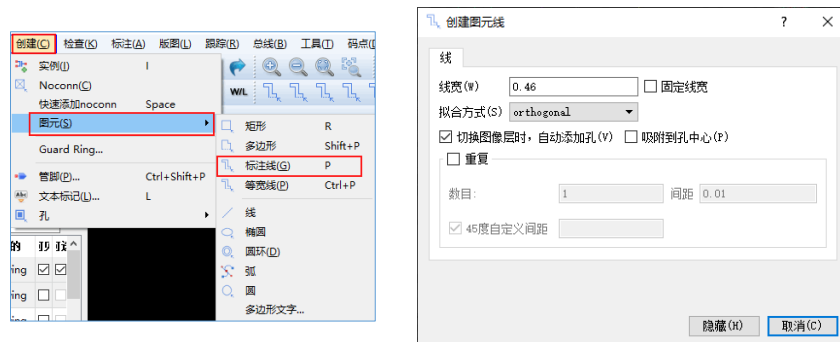
4.30. 连线

4.30.1. 绘标注线

1、创建标注线时，需要先选择相应的工艺层，参考 [6.4.1. 图层映射设置](#)、[2.1. 工艺层](#)和 [5.3.4. 工艺层](#)。工艺层标签页的“加锁”一般要勾选上，加锁后，在某图像层只能使用该图像层对应的工艺层绘制标注线，防止误操作。

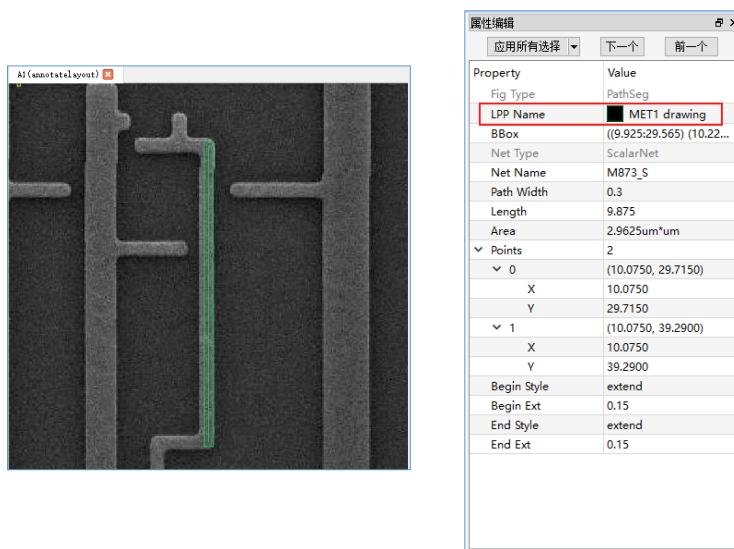


2、按快捷键 **P**、工具栏图标  或菜单“创建→图元→标注线”，按 **F3** 设置图元线的参数。



3、点击鼠标左键在图像上进行连线操作，双击左键完成绘线。图示，在 MET1 drawing

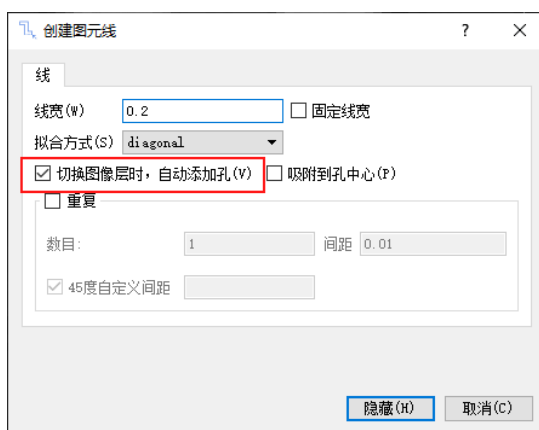
层，按快捷键 P 绘制了 M1 层的标注线。在属性标签页可以看到该标注线的属性 LPP Name 为“MET1 drawing”。



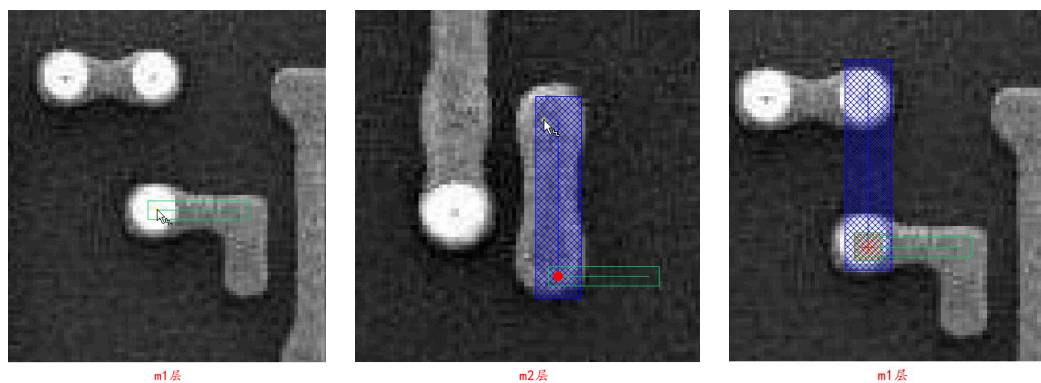
4.30.2. 追线功能

BunnyGS 软件的连线工具自带追线功能，当用户在连线时遇到需要打孔的地方，无需停下手头工作切换至打孔工具，可直接在连线时候同步完成打孔工作。下面的步骤以“在 m1 层绘标注线，切换到 m2 层，自动添加孔”为例：

1、切换到 m1 图像层，选择 MET1 drawing，按快捷键 P，按 F3 设置线宽并勾选“切换图像层时，自动添加孔”。



2、在 m1 层绘线，对准孔的位置单击左键，按快捷键“=”切换到 m2 层时自动生成一个红点，继续在 m2 层绘线，双击左键完成绘线。切换到 m1 层，可以看到自动添加的孔。



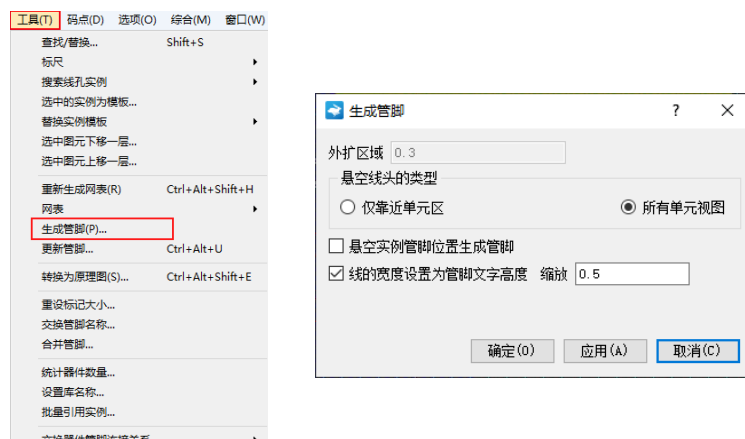
4.31. 生成线网

在提图数据中创建的线、孔、器件之间的连接关系，通过物理连接关系生成逻辑连接关系。按快捷键 **Ctrl+Alt+Shift+H** 或执行菜单“工具→重新生成网表”生成网表。器件、线、孔等对象修正后，也可以增量生成线网。



4.32. 生成管脚

管脚，又叫引脚或端口，用于集成电路（芯片）内部功能模块（宏单元）之间的连接。执行菜单“工具→生成管脚”弹出对话框，设置参数后点击确定。



对如下参数含义作简要说明：

- 外扩区域：设置 Boundary 框的外扩区域
- 悬空线头的类型

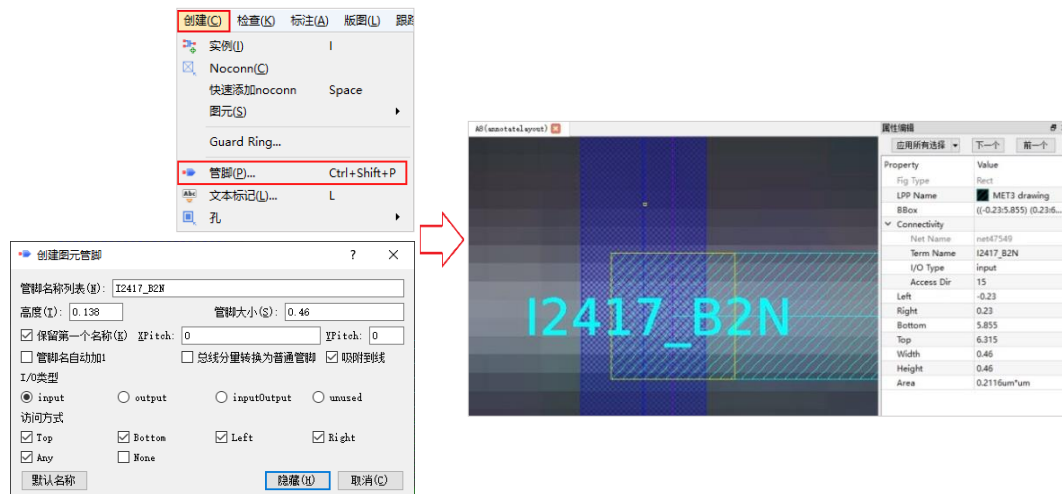
仅靠近单元区：仅靠近单元 boundary 框区

所有单元视图：整个单元工作区

- 悬空实例管脚位置生成管脚：是否在悬空的实例管脚位置生成管脚
- 线的宽度设置为管脚文字高度：是否将线的宽度设置为管脚文字高度
- 缩放：将线的宽度设置为管脚文字高度的缩放倍数

4.33. 手动添加管脚

切换图像层，选择管脚对应的工艺层（详见 [6.4.1.图层映射设置](#)）。点击工具栏图标、按快捷键 **Ctrl+Shift+P** 或执行菜单“**创建→管脚**”，在弹出的对话框上设置管脚名称、字体高度、管脚大小、I/O 类型等参数，隐藏对话框，单击左键在图像层上添加管脚。图示，在 MET3 drawing 层添加了管脚 I2417_B2N。

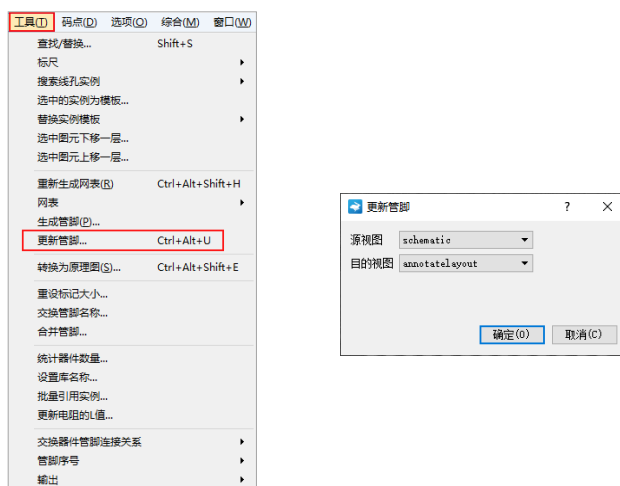


对如下参数含义作简要说明：

- 管脚名称列表：输入管脚名称列表，连续点击图像多个位置可以一次创建多个管脚
- 高度：字体高度
- 管脚大小：管脚的 Width 和 Height
- 保留第一个名称：保留管脚名称列表的第一个名称。若管脚名称列表为 A B C，则创建的管脚列表的名称为 A,B,C,A,A...
- 管脚名自动加 1：管脚名称自动加 1。若管脚名称列表为 A B C，则创建的管脚列表的名称为 A,B,C,C1,C2...
- 总线分量转换为普通管脚：自动将总线分量管脚转换为普通管脚。若管脚名称列表为 A<1:5>，则创建的管脚列表的名称为 A1,A2,A3,A4,A5。
- 吸附到线：创建管脚时，管脚是否自动吸附到线上
- I/O 类型：输入、输出、双向、未使用
- 默认名称：点击后，创建的管脚列表的名称为 VS, GS, L1, L2,L3...

4.34. 更新管脚

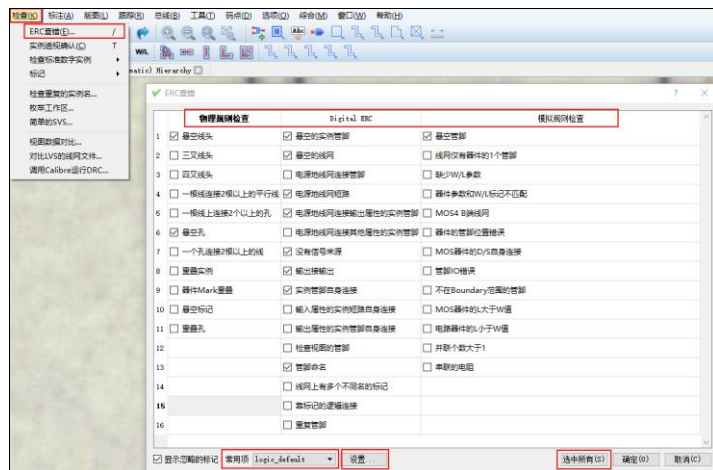
一个普通的单元至少包含两个单元视图，电路图与符号图。常用的单元还包含标注视图。如果只修改某一个视图的管脚，检查会提示视图间管脚名称不相符。可以使用该功能将修改后的管脚名自动同步到关联视图中。执行菜单“工具→更新管脚...”或快捷键 **Ctrl+Alt+U**，显示更新管脚界面，如下图所示：



4.35. ERC 查错

每个功能模块的网表提取后，在导出网表数据之前，需要进行电学规则检查。常见的 ERC 错误包括空线头、悬空引脚、没有输入或输出端的单元引脚等。经过电学规则检查，可以基本消除电路中包括引用名、物理和逻辑等错误。

按快捷键 “/” 或点击菜单 “检查→ERC 查错” 弹出对话框，如下图所示：



对话框参数简要说明如下：

- 条栏：点击条栏，软件自动勾选该列所有选项
- 常用项：

phy_default：软件自动勾选物理规则检查的默认选项

digital_default：软件自动勾选 Digital 规则检查的默认选项

logic_default：软件自动勾选逻辑规则检查的默认选项

- 设置：用户可以设置 **phy_default**, **digital_default** 和 **logic_default** 的默认选项
- 选中所有：软件自动勾选所有选项
- 确定：点击“确定”进行 ERC 查错

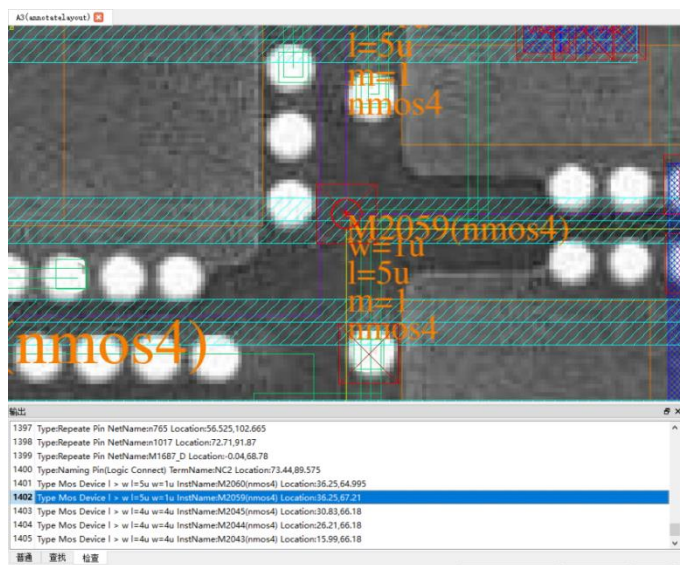
检查规则简要说明如下：

- 悬空的实例管脚：该实例管脚对应的线网没有接任何其他实例管脚或者本单元的管脚
- 悬空的线网：该线网没有接任何管脚或者实例
- 电源地线网短路：电源线网和地线网连接在一起
- 电源地线网连接输出属性的实例管脚：电源地线网连接某一个实例的输出管脚

- 没有信号来源：线网上没有连接管脚且没有连接双向或者输出属性的实例管脚
- 输出接输出：线网上有多个输出属性的实例管脚
- 实例管脚自身连接：线网上包含同一实例的多个管脚
- 管脚命名错误：单元的管脚不符合实例名_管脚名的命名方式

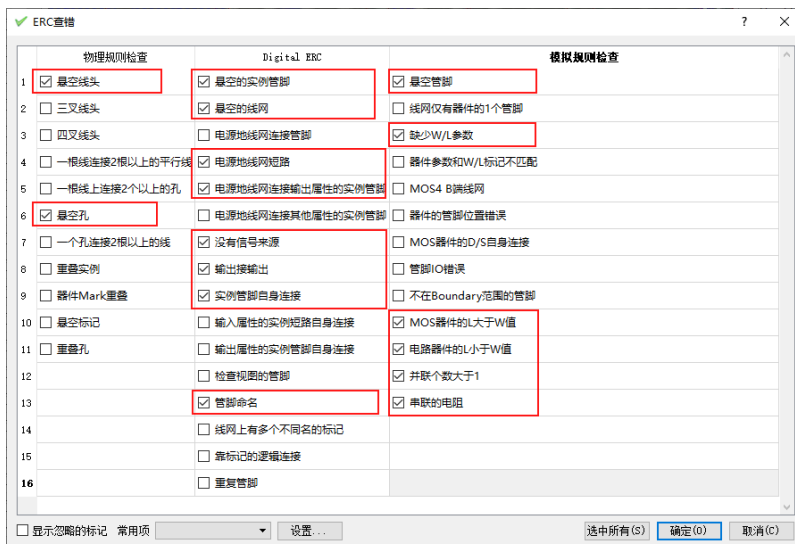
更多检查规则说明，详见《BunnyGS 软件关于 ERC 的若干问题.pdf》

检查完成后在输出窗口查看检查结果，点击输出窗口里的内容，屏幕移动到相应的位置，并用红色标记显示。判断错误并进行修改，修改完成后再进行 ERC 查错，如此往复直至没有错误。



4.35.1. 模拟电路 ERC 检查

模拟电路 ERC 检查，需要勾选如下选项进行检查：



4.35.2. 数字电路 ERC 检查

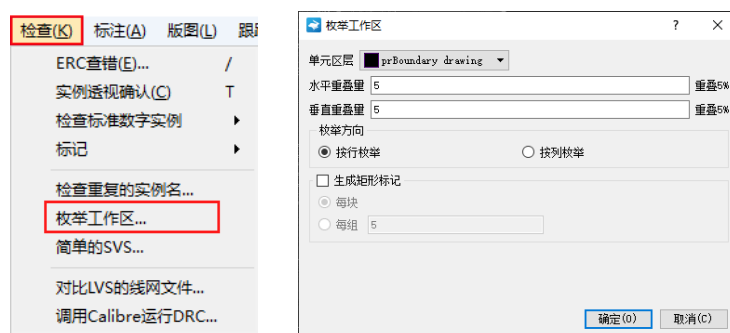
数字电路 ERC 检查，需要勾选如下选项进行检查：



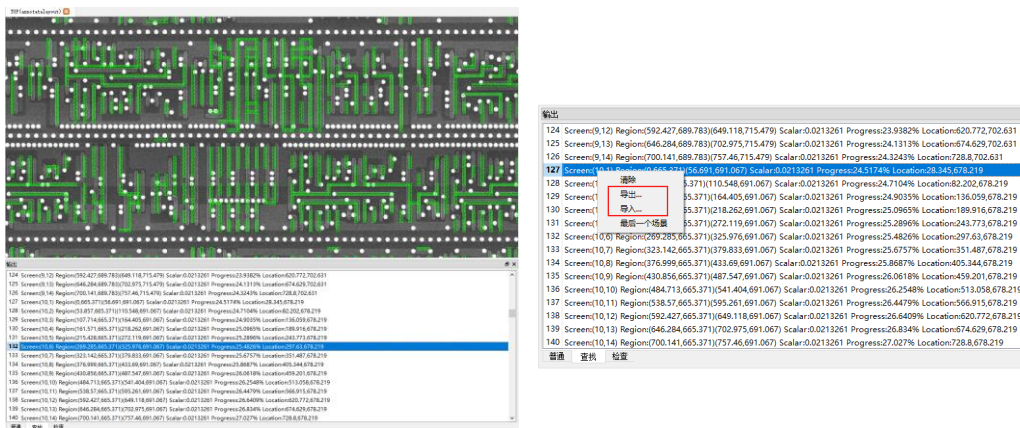
4.36. 枚举工作区

所谓的枚举工作区，是指为了便于排错检查，在使用 ERC 查错、线识别、Via 孔识别时的一种分屏定位功能。它可以将用户需要检查的区域切分成等屏面积大小，更方便用户观察操作。

1、执行菜单“检查→枚举工作区”，在“单元区层”处选择 prBoundary drawing，设置区域之间重叠参数百分比（一般设置为 5%），以及行列设置。分屏数在输出窗口查看。

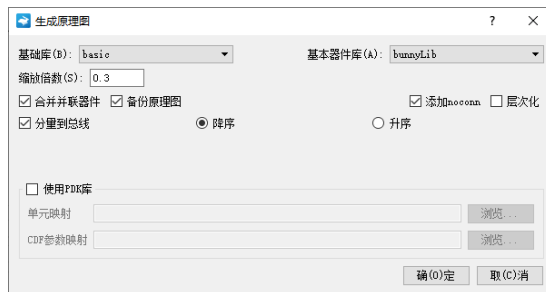


2、单击“输出窗口”的分屏信息，屏幕切换到相应区域。鼠标右键可以将分屏信息导出到文件，下次打开软件后再导入分屏信息，可以定位到相应位置。



4.37. 导出原理图

在使用 BunnyGS 软件提取的标注视图，经过提取器件、生成线网关系、ERC 查错、生成管脚等操作后，可以将标注视图直接导出原理图。转换之前，先确认对应的电路视图已关闭。打开标注视图，按快捷键 **Ctrl+Alt+Shift+E** 或执行菜单“工具→生成原理图”，显示转换界面，设置参数并点击确定，导出原理图。



对如下参数含义作简要说明：

- 基础库：电路图中管脚所在的库，一般是 basic。
- 基本器件库：器件所在的库，一般是 bunnyLib、analogLib、PDK 库。
- 合并并联器件：是否合并器件。
- 备份原理图：备份原来的原理图，新生成的原理图名称为 schematic
- 层次化：从底层到顶层依次生成对应单元的原理图，基本单元自动忽略
- 分量到总线：标注视图中的分量端口，在电路视图中以总量的形式存在

第五章 BunnyGS 软件界面

本章描述了 BunnyGS 的软件界面，以及如何使用这些界面。

5.1. 运行 BunnyGS

双击目录下的 BunnyGS.exe，输入对应的用户名、密码和服务地址。运行前，需要先启动 designserver 服务。



默认用户名是 admin 和 silintech

服务器地址是 designserver 运行的电脑的 IP 地址或计算机名称。

如何获取 designserver 对应电脑的 IP 地址

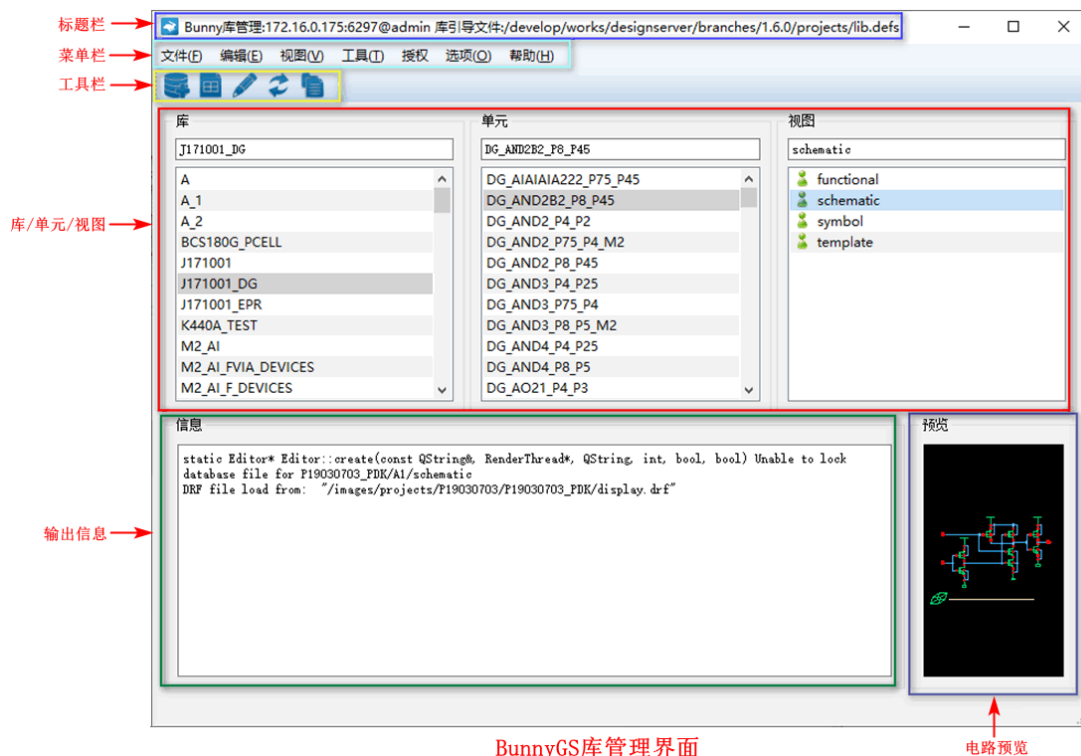
Window 系统:

按 Ctrl+R 打开运行对话框，输入 cmd。然后输入 ipconfig

Linux 系统:

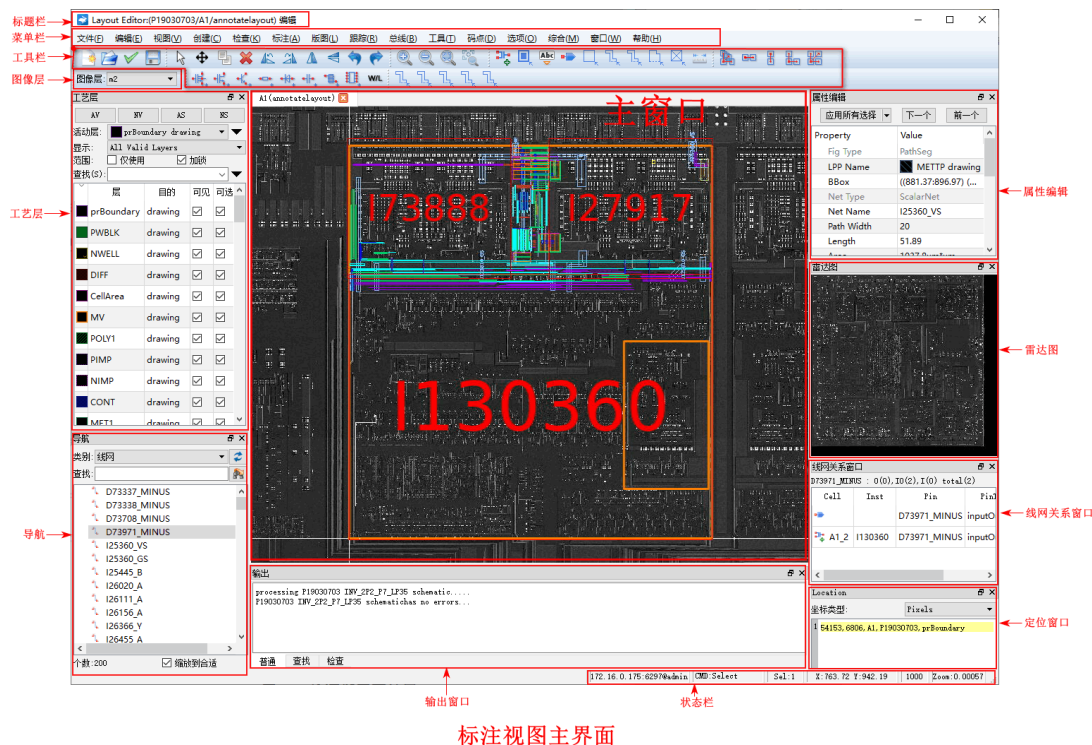
打开终端，输入 ifconfig

5.2. BunnyGS 库管理界面



BunnyGS 库管理界面支持库/单元/视图的新建、打开、删除、重命名、解锁、设置顶层单元等相关操作，支持角色管理、用户管理、项目组管理，用户还可根据需要切换中英文版本。在 BunnyGS 库管理界面选择库、单元，双击对应的视图，进入到 BunnyGS 单元视图主界面。

5.3. BunnyGS 标注视图主界面



BunnyGS 单元视图主界面采用标准、简明的 Windows 窗口设计风格。在软件主界面中，有标题栏、菜单栏、常用工具栏、主窗口、输出窗口、图像层、工艺层、导航、图元对象、多层图像、属性编辑窗口、雷达图、线网关系窗口、定位窗口、状态栏等几个部分。当页签隐藏时，通过右击菜单栏/工具条的空白位置，可以显示页签。也可以通过下表中的快捷键打开。

浮动页签	快捷键
工艺层	Alt + 2
导航	Alt + 4
输出	Alt + 1
属性编辑	Q
线网关系窗口	Alt + 5
多层图像	Alt + 3
定位窗口	Alt + 8

表 7 页签和对应的快捷键

5.3.1. 标题栏、菜单栏



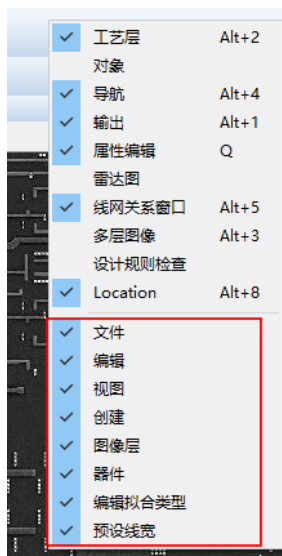
标题栏列出了当前单元视图的名称、只读可写状态和编辑方式。

菜单栏列出了所有的菜单命令，点击菜单栏中的菜单名称，可以打开下拉菜单，选择子菜单。菜单名称中含有的字符/字母是快捷键提示，使用字符/字母可以快速选中相应的菜单命令。可以通过菜单“选项→快捷键”设置快捷键。

5.3.2. 工具栏



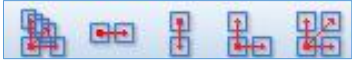
工具栏上列出了常用菜单命令对应的按钮，方便用户使用。有时，为了获得更大的操作窗口，可以隐藏工具条，通过右击菜单栏/工具条的空白位置，可以选择显示或隐藏工具条。



工具栏包含视图放大、缩小、显示状态、搜索、创建器件、提取器件等，常用工具栏的图标描述如下：

图标	中文名称	英文名称	功能描述
文件 			
	新建单元视图	New	
	打开	Open	

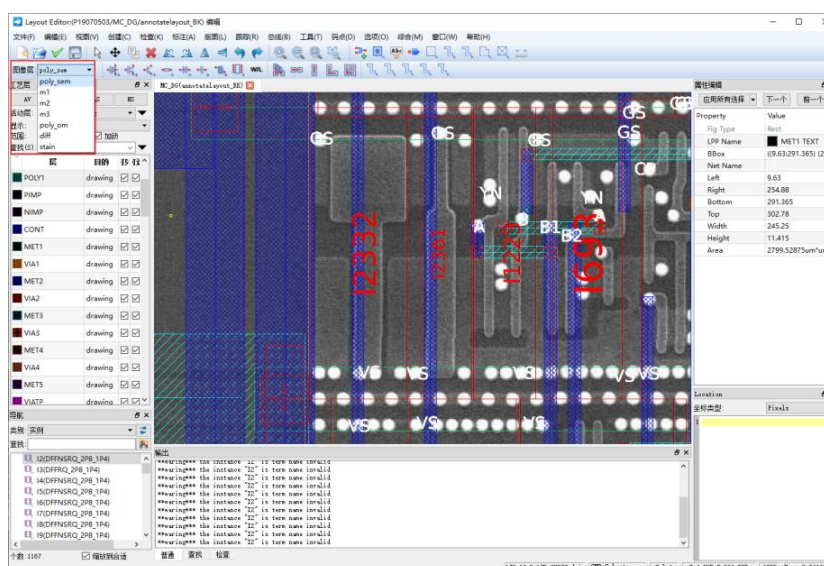
图标	中文名称	英文名称	功能描述
	检查并保存	Check and Save	
	保存	Save	
编辑 			
	选择	select	
	移动	Move	
	拷贝	Copy	
	删除	Delete	
	逆时针旋转	Rotate Left	逆时针旋转 90 度
	顺时针旋转	Rotate Right	顺时针旋转 90 度
	水平镜像	Flip Horizontal	水平镜像翻转
	垂直镜像	Flip Vertical	垂直镜像翻转
	撤销	Undo	
	恢复	Redo	
视图 			
	放大	Zoom In	
	缩小	Zoom Out	
	缩放到合适	Zoom To Fit	
	缩放到选中图元	Zoom To Selected	
创建 			
	实例	Instance	创建引用实例
	孔	Via	添加 Via 孔

图标	中文名称	英文名称	功能描述
	文本标记	Label	创建标签
	管脚	Pin	添加管脚
	矩形	Rectangle	矩形框
	标注线	Geometric Wire	连线工具
	等宽线	Path	连线工具
	多边形	Polygon	多边形
	Noconn	NoConn	悬空标记
	创建标尺	Create Ruler	标尺
编辑拟合类型 			
	anyAngle	anyAngle	任意方向
	horizontal	horizontal	水平方向
	vertical	vertical	垂直方向
	orthogonal	orthogonal	直角方向
	diagonal	diagonal	对角线方向
器件 			
	MOS4	MOS4	创建四端 MOS 管
	MOS3	MOS3	创建三端 MOS 管
	三极管	BJT	创建三极管
	电阻	RES	创建电阻
	二极管	DIO	创建二极管
	电容	CAP	创建电容

图标	中文名称	英文名称	功能描述
	电感	IND	创建电感
	基本单元	Template Device	创建数字单元
	W/L 标记	Mark W/L	标尺量取器件宽/长后，自动提取
预设线宽 			
	宽度:0.1	Width: 0.1	
	宽度:0.2	Width: 0.2	
	宽度:0.3	Width: 0.3	
	宽度:0.4	Width: 0.4	
	宽度:0.5	Width: 0.5	

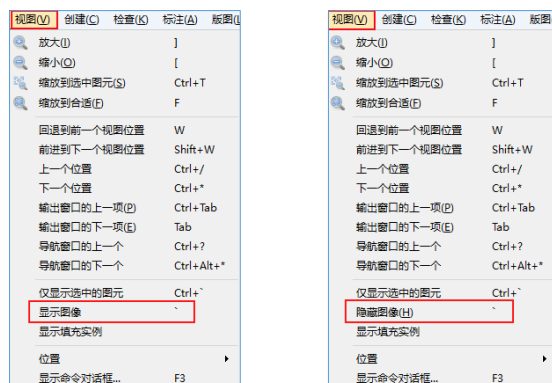
表 8 常用工具

5.3.3. 图像层

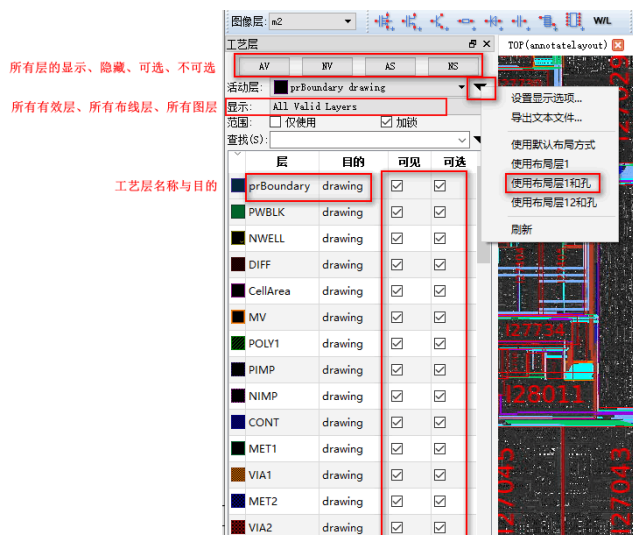


芯片的照片通常包括多层，每一层对应不同的芯片层，比如染色、多晶、金属等。打开一层图像后，工具栏会显示当前图像的名称。在查看图像单元的标注视图时，需要切换图像层，有多种方法可以切换图像层，详见 [4.21.切换图像层](#)。

若需隐藏或显示背景图像，可以按快捷键“”或菜单“视图→显示图像”、菜单“视图→隐藏图像”。



5.3.4. 工艺层



在“工艺层”标签页中，显示了该单元使用的工艺层信息，可以设置对应层的显示和隐藏。点击“使用布局层 1 和孔”时，软件默认只显示当前图像层对应的工艺层和对应的孔层，这样在切换图像层时，可以只显示本层的线孔，方便追踪线网关系。对各参数含义说明如下：

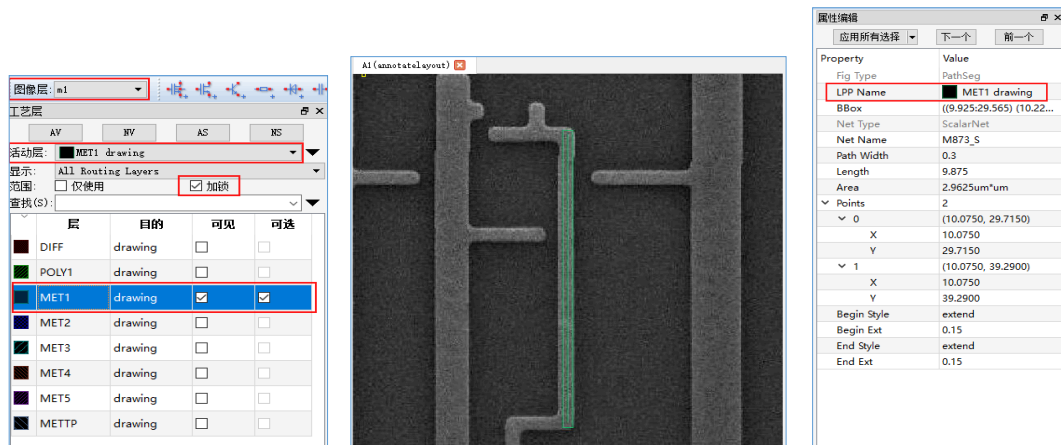
- AV: 所有工艺层都可见
- NV: 所有工艺层都隐藏
- AS: 所有工艺层都可选
- NS: 所有工艺层都不可选
- 使用布局层 1: 只显示当前图像层对应的工艺层
- 使用布局层 1 和孔: 只显示当前图像层对应的工艺层和对应的孔层
- 使用布局层 12 和孔: 只显示当前图像层对应的工艺层、对应的孔层和上层图像层

对应的工艺层

- All Valid Layers: 显示所有有效层
- All Routing Layers: 显示所有布线层
- All Layers: 显示所有层
- 仅使用: 仅显示所有使用到的工艺层
- 加锁: 一般勾选, 仅使用与当前图像层对应的工艺层

创建标注线、管脚、文本标记等图元对象时,要先选中相应的工艺层再创建对象。下图所示,选择图像层 m1,在工艺层标签页通过点击“MET1 drawing”行或在活动层下拉选择“MET1 drawing”后,按快捷键 P 可以创建 M1 层的标注线,双击左键完成绘线。在属性标签页可以看到该标注线的属性 LPP Name 为“MET1 drawing”。

工艺层标签页的“加锁”一般要勾选上,加锁后,在某图像层只能使用该图像层对应的工艺层进行绘制或创建图元对象,防止误操作。

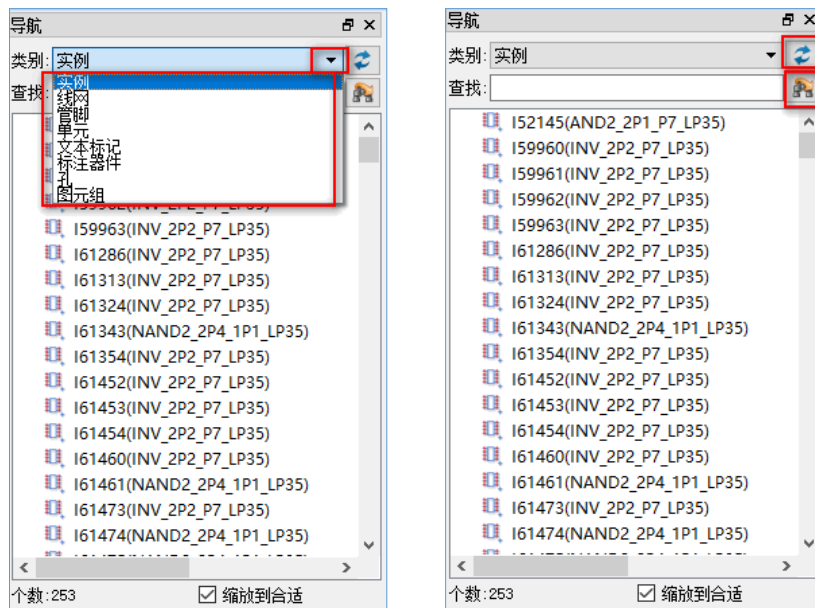


5.3.5. 状态栏



状态栏显示了当前操作的信息,包括当前的操作名称、选中元素个数、鼠标位置等信息。

5.3.6. 导航标签页



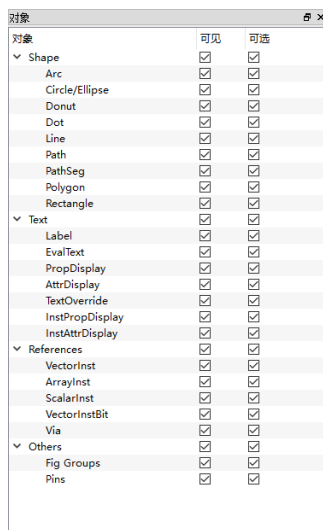
此标签项列出了当前单元视图的对象列表信息。可以通过名称查询和定位、高亮显示。包含实例、线网、管脚、标记、模块单元和基本器件。

删除、修改对象后，点击 重新加载。可以通过输入内容点击 查找相应对象。

双击对应的项定位当前位置或高亮线网。当前窗口激活时，可以按上下键来切换对象，也可通过点击菜单“视图→导航窗口的上一个”和“导航窗口的后一个”来切换对象，如下图所示。

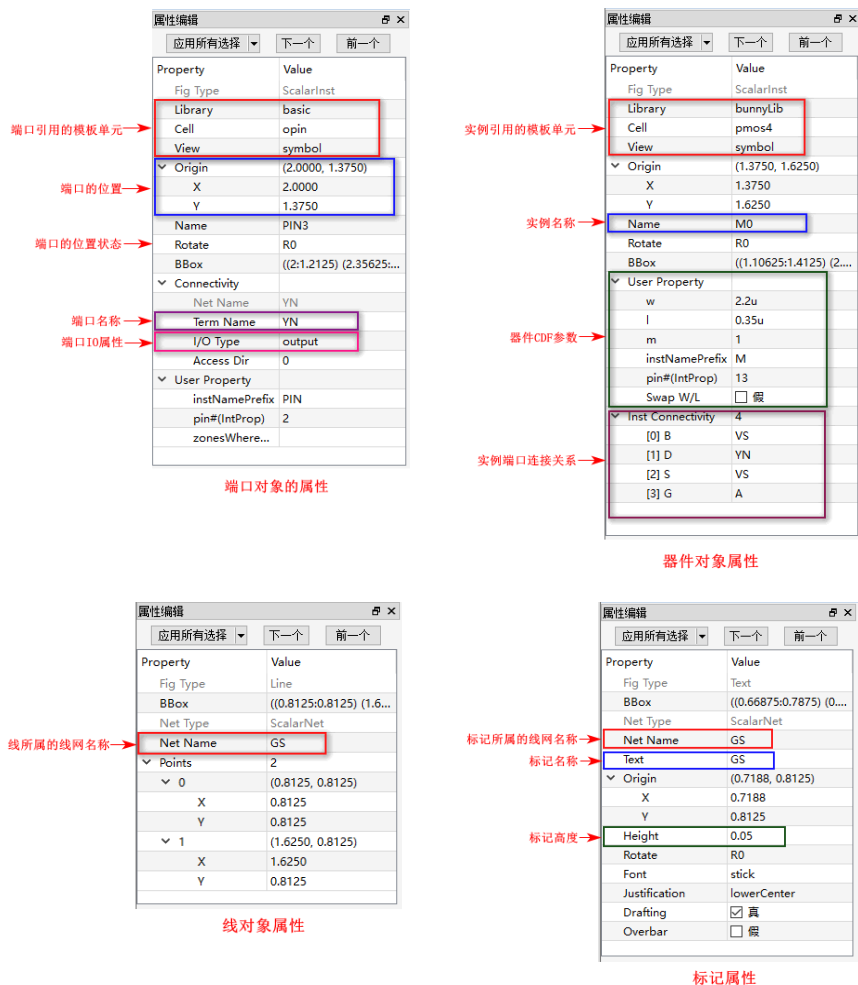


5.3.7. 图元对象

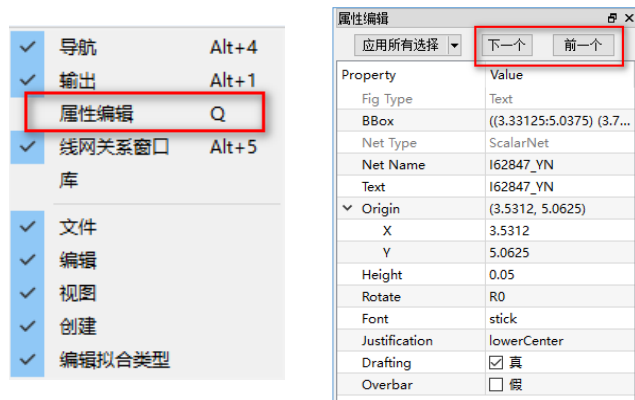


根据项目要求，可以对矩阵、宏单元、模拟器件、多边形等图元对象设置可见或可选。
未被选中的实物将不可见或不可被选中。

5.3.8. 属性编辑标签页

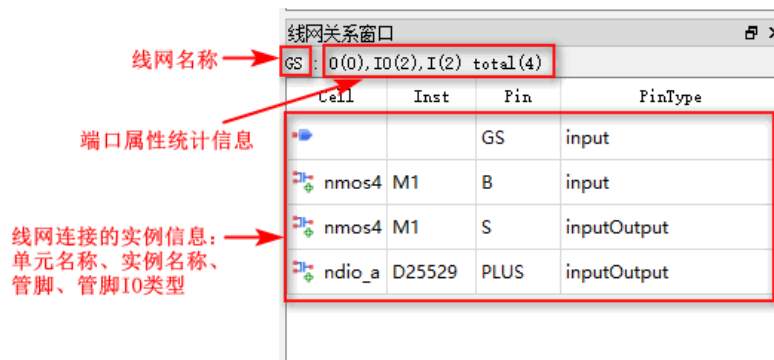


属性编辑标签页显示用户所选管脚、线网、标记、线等对象的属性。用户可以修改管脚名称或属性、线网名称、标记字体大小、器件参数等。编辑修改后，点击“应用当前”或“应用所有选择”完成修改。



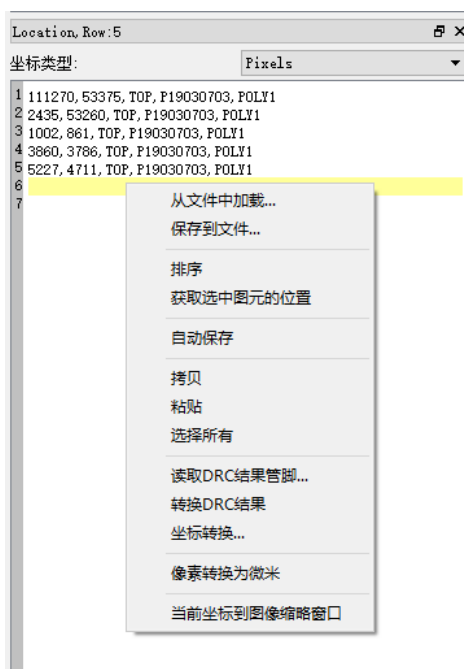
如果该标签页被隐藏，可以按快捷键 **Q** 或在空白工具栏处，鼠标右键，勾选“属性编辑”。选中多个图元对象查看属性时，可以通过“下一个”和“前一个”按钮切换对象。

5.3.9. 线网关系窗口



线网关系窗口显示高亮线网连接的单元、实例、管脚、管脚属性。用户可以通过此窗口显示线网的连接关系、定位实例位置，在检查线网关系、管脚、实例连接时是非常有用的。

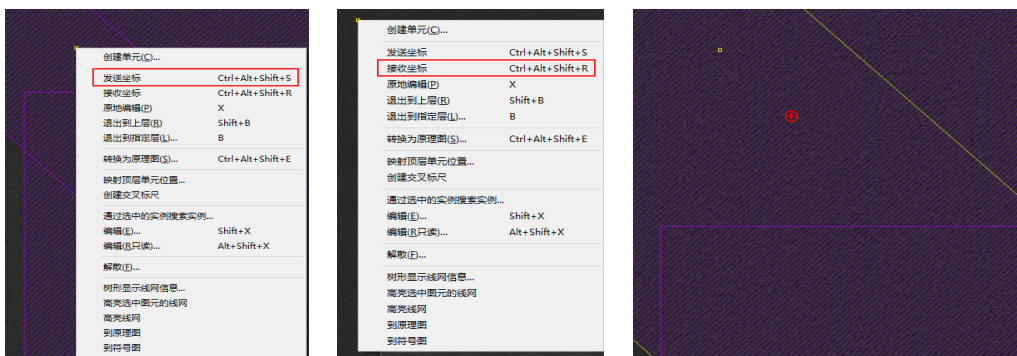
5.3.10. 定位窗口



定位功能可以方便快速地定位坐标位置，在此窗口显示坐标位置的记录信息。

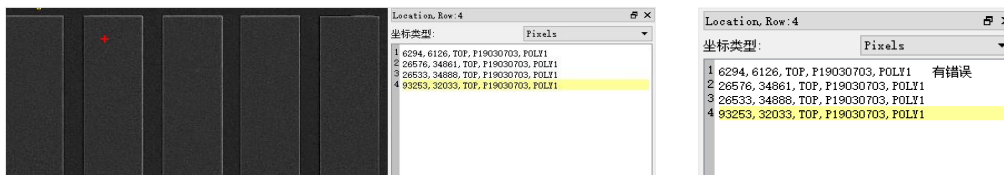
1、发送坐标

鼠标右键“发送坐标”可以发送当前模块的坐标图像的位置到定位窗口。发送坐标后，在图像任意位置鼠标右键选择“接受坐标”即可回到原坐标位置。

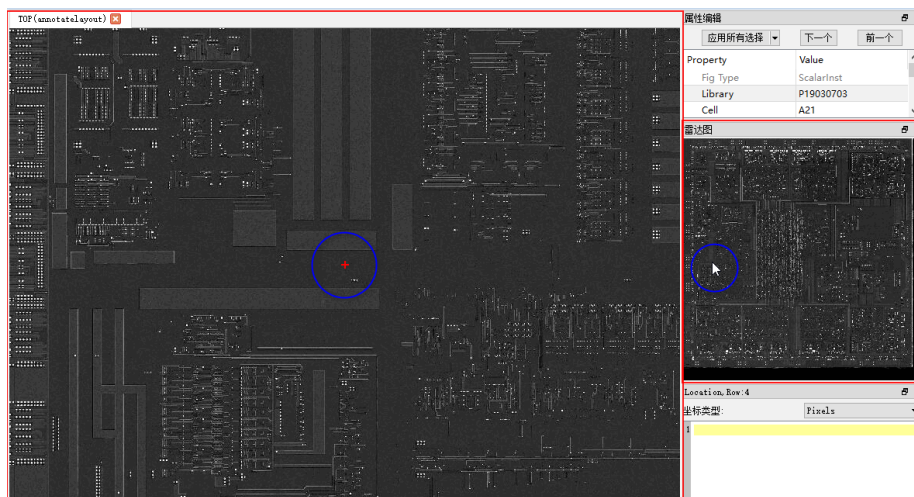


2、多个坐标定位

实际情况下，用户常会设置多个坐标点。可以在定位窗口选中坐标行并**双击**，回到相应的原坐标位置。也可以通过快捷键 **Ctrl+/, Ctrl+***或菜单“视图→上一个位置”、“视图→下一个位置”切换坐标点。用户还可以对坐标数据进行编辑，对所在坐标的问题进行文本记录。

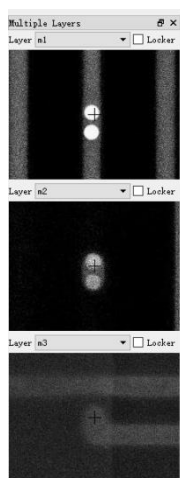


5.3.11. 雷达图



雷达图区域代表了整个芯片区域，鼠标在雷达图上点击时，主窗口将切换到芯片的相应位置，并用红色十字表示。

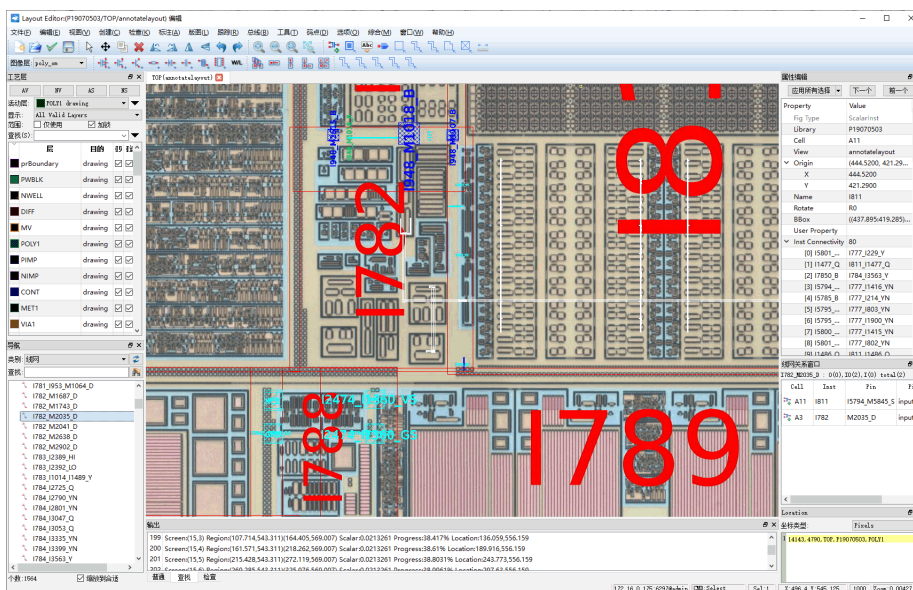
5.3.12. 多层图像



在查看芯片各层照片连接时，多层图像是非常有用的。该标签页中，多层图像是动态的，随着光标的移动或者切换图像层，图像会时时更新，每个图像格中间有一个十字，该十字表示鼠标当前位置。

软件默认显示上一图像层、当前图像层和下一图像层，可以通过右键“添加项”或“隐藏项”来添加或隐藏图像层。

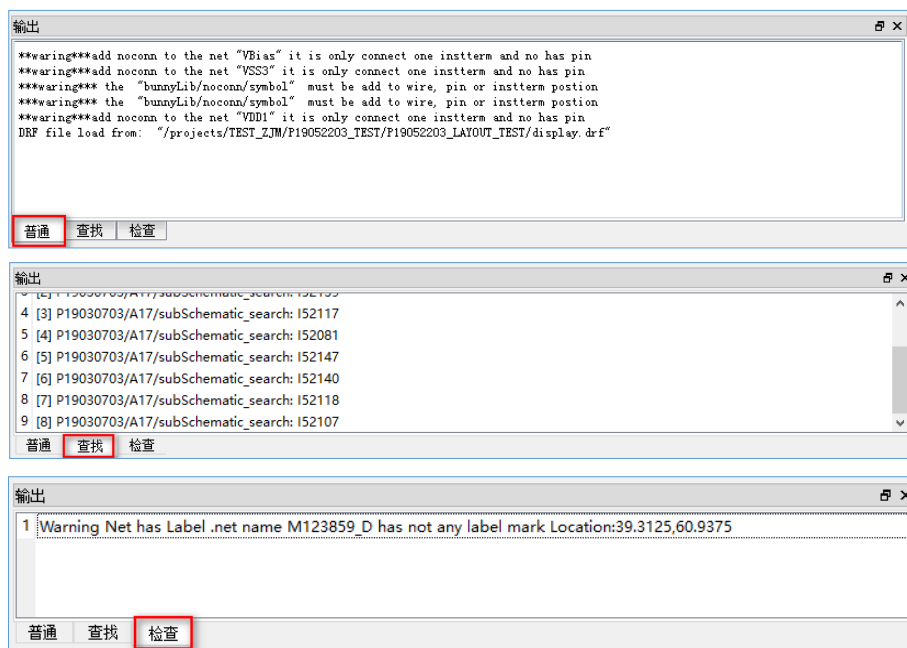
5.3.13. 主窗口



主窗口用来显示单元视图的内容。当用户在“BunnyGS 库管理界面”选择库、单元双击标注视图，主窗口中会打开标注视图。按 **F7** 可以切换到对应的原理图。

默认情况下，打开单元视图时，软件会将单元视图进行缩放，使其恰好可以在主窗口中充满显示，用户可以根据需要对视图进行放大或缩小，使得主窗口中只显示用户感兴趣的局部。

5.3.14. 输出窗口



输出窗口栏记录用户的一些操作过程及对应的输出结果，如建立宏单元、单元定位、线网 ERC、宏单元替换、布局等。有时为了获得更大的操作窗口，可以通过在工具栏空白处鼠标右击选择“输出”或按快捷键 **Alt + 1** 显示或隐藏窗口。输出窗口可以进行拉伸和移动，方法如下：

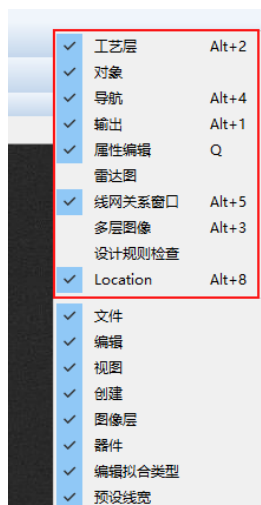
- 拉伸输出窗口

将光标放至输出窗口的上边框上，待出现双向箭头后，即可按住鼠标，进行拉伸。

- 移动输出窗口

将光标放至输出窗口的顶部，按住鼠标，进行拖动。

5.4. 窗口管理



在 BunnyGS 单元视图主界面中，可以同时显示多个窗口，不同的窗口可以浮动或停靠。鼠标停留在工具栏或菜单栏的空白处，右键勾选或取消勾选来打开或者关闭对应的窗口，也可以通过快捷键操作。

浮动页签	快捷键
工艺层	Alt + 2
导航	Alt + 4
输出	Alt + 1
属性编辑	Q
线网关系窗口	Alt + 5
多层图像	Alt + 3
定位窗口	Alt + 8

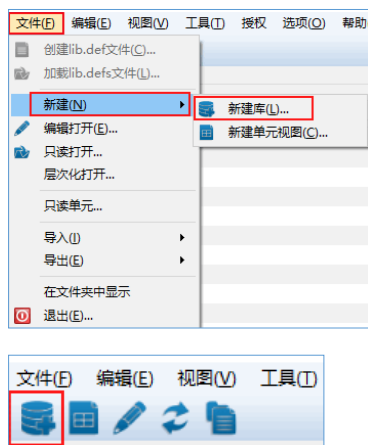
第六章 创建项目及配置

6.1. 创建新项目

点击“BunnyGS 库管理界面”的菜单“文件→新建→新建库”或工具栏“新建库”图标



，弹出如下界面：

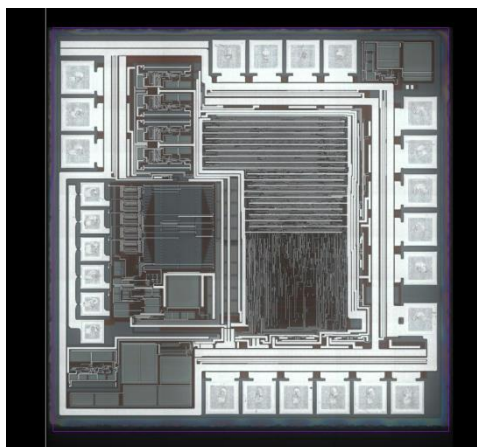
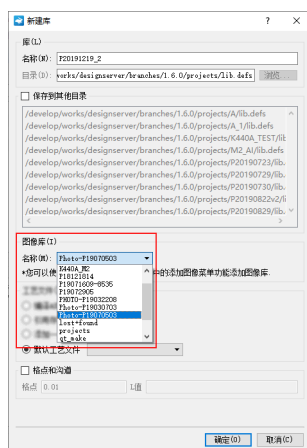


对如下参数含义作简要说明：

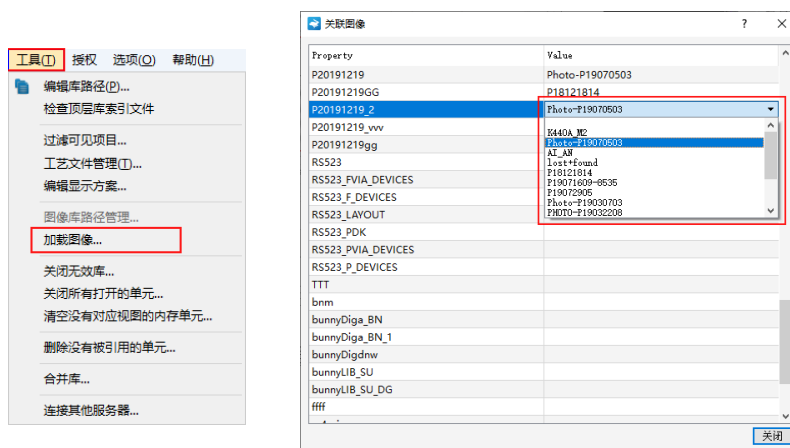
- 名称：库名称，建议由英文、数字和‘_’组成，不能输入空格、‘-’等特殊字符。
- 目录：库项目文件夹目录
- 保存到其他目录：若新建的是子项目库，可以选择父项目库的 lib.defs 文件路径，这样，子项目库和父项目库会在同一目录下。
- 图像库：绑定的工程图像库。也可以使用 BunnyGS 库管理界面的菜单“工具→加载图像”添加或修改图像库。
- 工艺文件：一般使用默认工艺文件
- 格点和沟道：对软件的格点和沟道的 L 值进行统一设置，格点一般默认为 0.01。

6.2. 绑定工程图像

在新建项目前，预先将工程图像数据解压后放入服务器 designsever 目录下的 images 文件夹内。新建项目时，下拉图像库名称列表，选择图像库并点击确定，库创建成功并且绑定工程图像。打开新建库的 TOP 单元的 annotatelayout 视图可以查看工程图像。



新建项目时也可以不指定图像库，项目创建成功后在“BunnyGS 库管理界面”通过菜单“工具→加载图像”添加或修改图像库。



6.3. 创建顶层单元

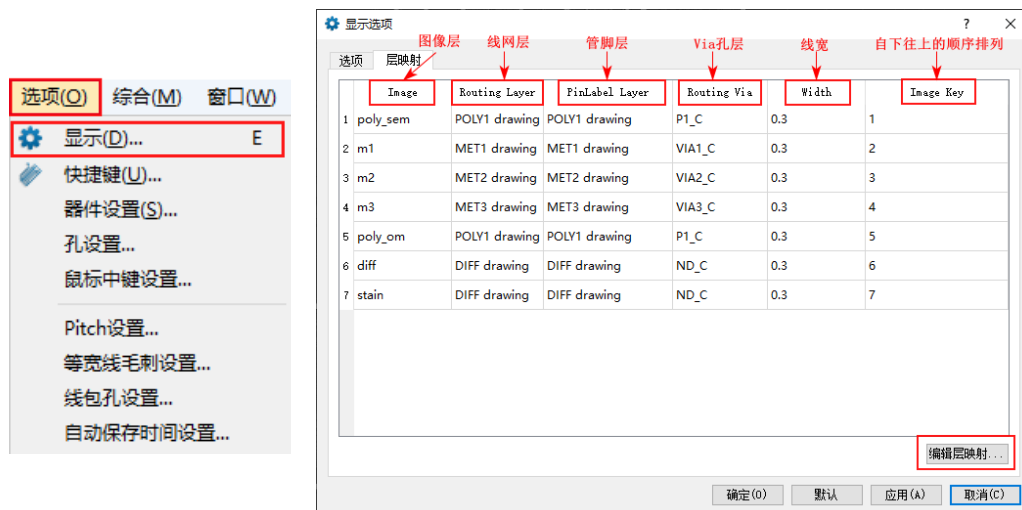
一块芯片由多个功能模块和元器件构成，在工作中项目经理会将这些功能区进行划分，分别分配给其他 IC 工程师，我们将这些划分的功能区称为单元。我们将整个芯片的工作区称之为顶层单元，即包括：各个子宏单元（功能模块）和符号单元（元器件）。在 BunnyGS 软件里，项目创建成功后，软件会自动创建库的顶层单元 TOP 及 annotatelayout 视图（layout 视图一般保留给正规版图）。

6.4. 参数设置

在做模拟电路和数字电路网表提取前，对项目的各个参数（图层映射、线宽、Via 孔尺寸、模拟器件）进行相关设置，方便后续工作的开展。

6.4.1. 图层映射设置

执行菜单“选项→显示”或按快捷键 **E**，弹出对话框，进行图层映射设置。将图像层(STAIN、POLY、M1、M2) 分别与线网层、管脚层、Via 层对应起来。关于工艺层，详见 [2.1.工艺层](#)。



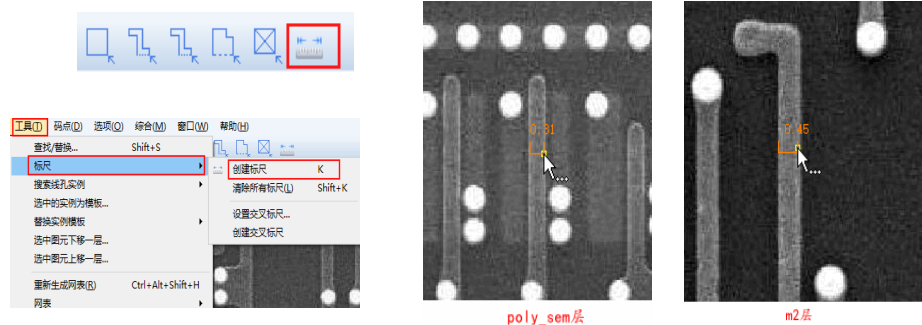
根据项目需要可以进行不同的图层映射设置，下表是某项目的图层映射设置：

图像层	线网层	管脚层	Via 孔层
poly_sem	POLY1 drawing	POLY1 drawing	P1_C
M1	MET1 drawing	MET1 drawing	VIA1_C
M2	MET2 drawing	MET2 drawing	VIA2_C
M3	MET3 drawing	MET3 drawing	VIA3_C
poly_om	POLY1 drawing	POLY1 drawing	P1_C
diff	DIFF drawing	DIFF drawing	ND_C
stain	DIFF drawing	DIFF drawing	ND_C

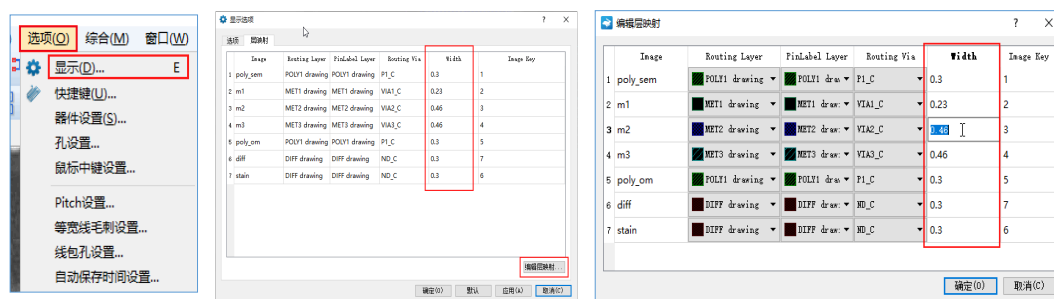
表 9 图层映射

6.4.2. 线宽设置

1、设置线宽之前，先对芯片各个图像层里的管子的宽度进行测量。点击工具栏图标  或按快捷键 **K**，用标尺测量各图像层管子的宽度，并记录下来。



2、按快捷键 **E** 或执行菜单“选项→显示”，在“显示选项”对话框上点击“编辑层映射”，左键双击进入修改各图像层对应的线宽值。后续在各图像层绘制标注线时，标注线的默认线宽值为预先设置的线宽值。



6.4.3. 孔大小设置

执行菜单“选项→孔设置”，弹出孔设置对话框，可以设置孔的孔层、上下层、尺寸、间距、外包尺寸等信息。



对如下参数含义作简要说明：

- 名称：孔名称
- 层 1、连接层、层 2：分别为孔的下层、连接层、孔的上层
- 通过孔名称选择孔层和上下层：根据孔名称自动选择孔层和上下层

- CONT 尺寸：孔的半径
- CONT 间距：水平方向和垂直方向上，孔与孔的边距
- 层 1 外包 CONT：水平方向和垂直方向上，孔下层（层 1）到孔的边距
- 层 2 外包 CONT：水平方向和垂直方向上，孔上层（层 2）到孔的边距

孔的连接层和上下层一般可以按下表设置，工艺层详见 [2.1.工艺层](#)：

孔	层 1（下层）	连接层	层 2（上层）
VIATP_C	MET5 drawing	VIATP drawing	METTP drawing
VIA4_C	MET4 drawing	VIA4 drawing	MET5 drawing
VIA3_C	MET3 drawing	VIA3 drawing	MET4 drawing
VIA2_C	MET2 drawing	VIA2 drawing	MET3 drawing
VIA1_C	MET1 drawing	VIA1 drawing	MET2 drawing
P1_C	POLY1 drawing	CONT drawing	MET1 drawing
ND_C	DIFF drawing	CONT drawing	MET1 drawing

表 10 孔层和上下层

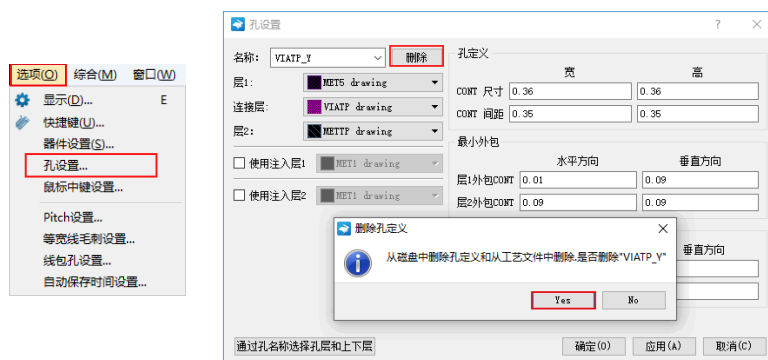
6.4.4. 添加孔

根据项目需要，可以添加孔。执行菜单“选项→孔设置”，在“名称”栏输入孔名称，设置孔的上下层和连接层，并设置尺寸，点击确定按钮，添加孔成功。下拉名称列表，可以查看到新添加的孔 VIATP_Y。



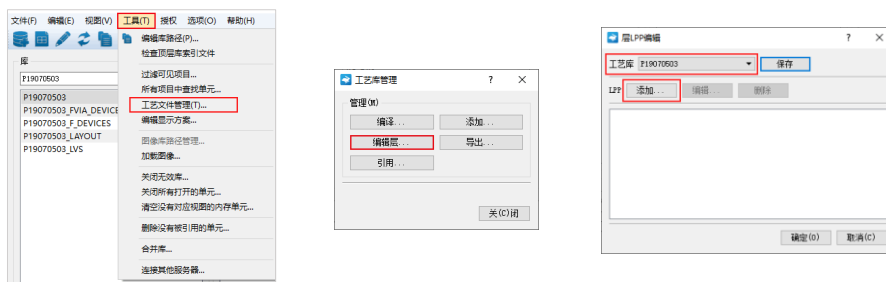
6.4.5. 删除孔

根据项目需要，可以删除孔。执行菜单“选项→孔设置”，选择孔并点击“删除”，在弹出的确认对话框上点击“Yes”，孔删除成功。

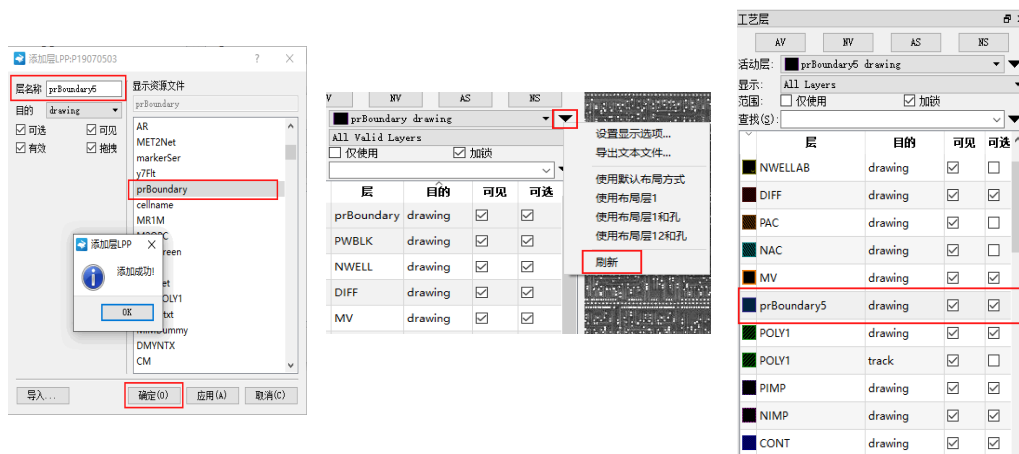


6.4.6. 添加工艺层

根据项目需要，可以添加工艺层。点击“BunnyGS 库管理界面”的菜单“工具→工艺文件管理”弹出工艺库管理对话框，点击“编辑层”按钮，弹出层 LPP 编辑对话框，选择工艺库名称并点击“添加”按钮。



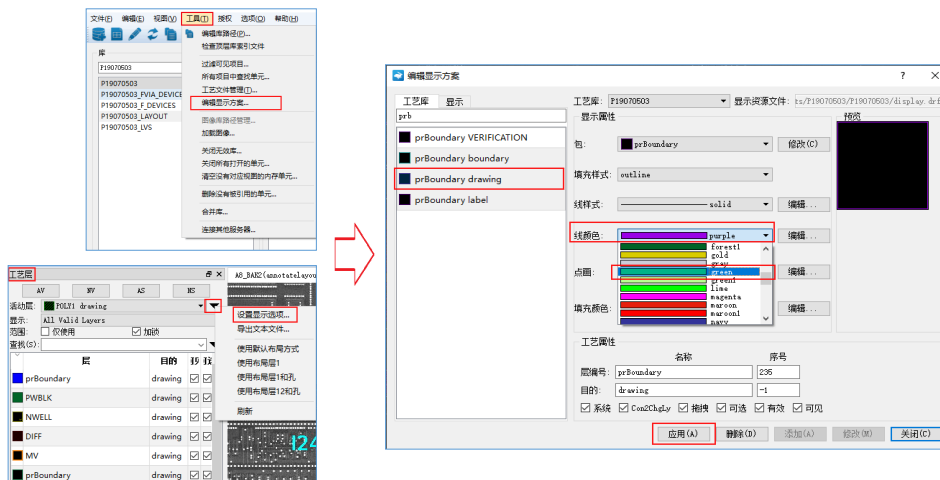
在弹出的“添加层 LPP”对话框上输入“层名称”，选择显示选项，并点击“确定”，层 LPP 添加成功。鼠标点击倒三角图标，选择“刷新”可以同步显示修改，在“工艺层”标签页中查看到新添加的层。



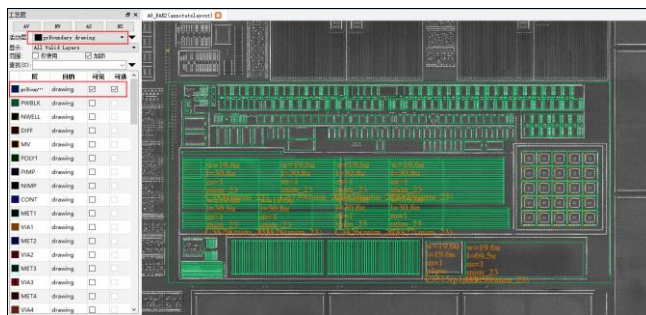
6.4.7. 修改颜色

点击“BunnyGS 库管理界面”的菜单“工具→编辑显示方案”或在“工艺层”标签页，

鼠标点击倒三角图标，活动层：**prBoundary drawing**，点击“设置显示选项”，弹出“编辑显示方案”的对话框。可以修改填充样式、线样式、线颜色等属性。



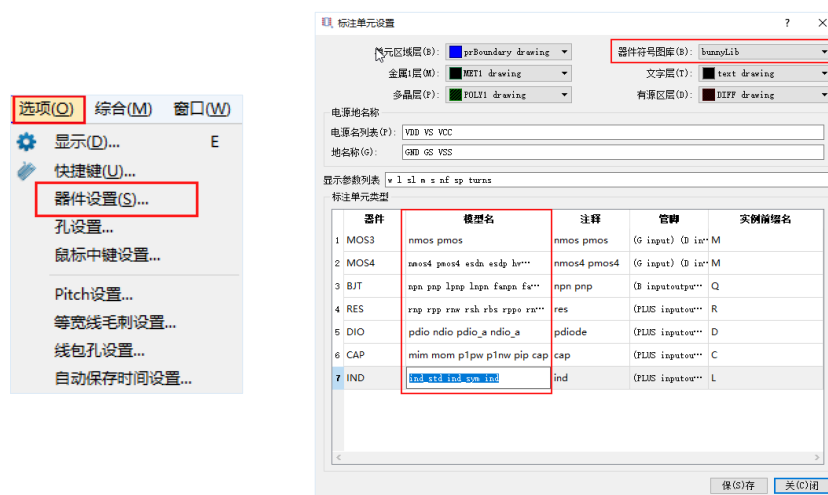
如图所示，修改了 prBoundary drawing 的线颜色，由 purple 改为 green，点击“应用”完成修改。



注意，在各类参数配置都完成后，建议尝试进行绘制线和打孔操作，查看线孔是否符合芯片图像，如果不符合，配置的参数可能存在问题，需要继续修改。

6.5. 模拟器件设置

在做模拟电路的网表提取时会遇到不同类型的器件和管子，详见 [2.3.模拟器件](#)。执行菜单“选项→器件设置”，可以对模拟器件添加或删除模型，并设置管脚对应的图层。



对如下参数含义作简要说明：

- 器件符号图库：模拟器件的电路和符号图存放在 bunnyLib 库中，标注模板以字母小写的方式存放于相关项目中，如 nmos, pmos4, npn, rnp, ndio, pdio, mim, ind 等。
- 单元区域层：指定划分单元区域使用的层
- 金属 1 层，多晶层，有源区层：对 G 管脚和 B 管脚对应的图层进行设置。G 管脚对应 POLY 层，B 管脚对应 DIFF 层，其他管脚对应 MET1 层。
- 模型名：模型名是同一器件类型的不同模型名称，左键双击进入可以添加或删除器件模型。

常用的器件类型和模型名称列表如下：

器件类型	名称列表
MOS3	nmos pmos
MOS4	nmos4 pmos4 esdn esdp hvns hvps hvnd hvpd ldpc ldnc
BJT	nnp npn lnpn lnpn fanpn fanpn falnpn falnpn
RES	rnp rpp rnw rpw rsh rbs rppo rnpo rppo_t rnpo_t pfuse mfuse rp1 rp2
DIO	pdio ndio pdio_a ndio_a
CAP	mim mom p1pw p1nw pip
IND	ind_std ind_sym ind

表 11 器件模型

在器件符号图库中必须有对应添加器件名称的 symbol 视图，如 bunnylib/nmos4/symbol。

第七章 模拟单元网表提取工作流程

7.1. 创建项目

如果还未创建项目和顶层单元，可以参考 [6.1.创建新项目](#)、[6.2.绑定工程图像](#)和 [6.3.创建顶层单元](#)。

7.2. 项目参数设置

详见 [6.4.参数设置](#)和 [6.5.模拟器件设置](#)进行项目参数设置。

7.3. 划分工作区

小单元一般不划分工作区，大的单元可以参考 [8.3.划分工作区](#)。

7.4. 器件提取

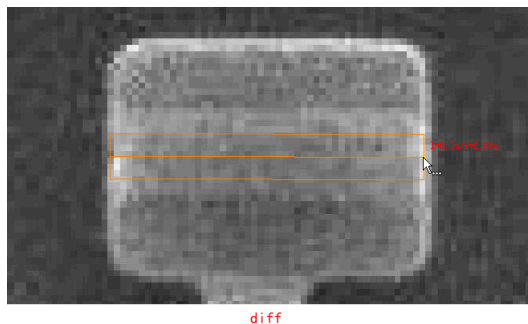
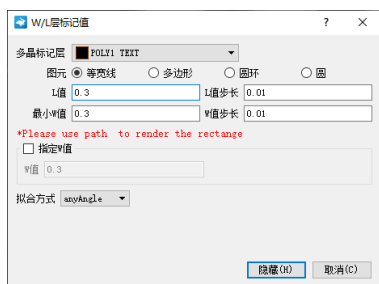
打开单元，对各个模块进行器件提取操作。根据图片工艺确定器件类型，常见的模拟器件类型有 MOS4、MOS3、三极管、电阻、二极管、电容和电感。点击工具栏中的 W/L Mark 按钮，绘制器件尺寸，结束后，点击工具栏中的器件类型，框选器件区域，点击器件管脚位置，完成器件提取。

可以按如下步骤提取器件：

1、用 W/L Mark 绘制器件尺寸

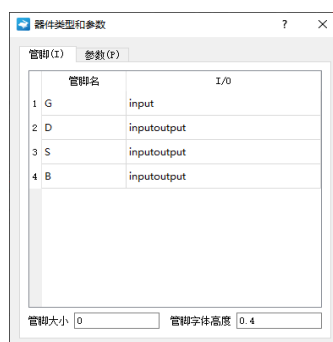
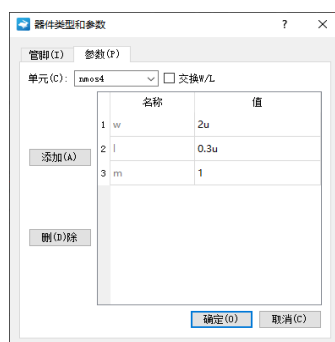
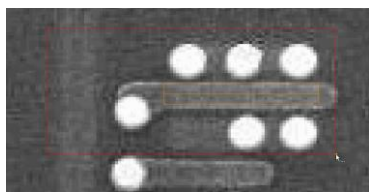
绘制 W/L Mark 前，先用标尺粗略量测，根据最小工艺确定最小尺寸格点。如 0.5um 以上功能工艺，最小格点为 0.1um。通常，项目成员先约定好参数值范围，否则人为因素的误差会给后续的电路整理带来问题。

点击工具栏图标，按快捷键 **F3**，弹出对话框。在“多晶标记层”选项选择“POLY1 TEXT”文字层，将“L 值”设置为测量出来的宽度。点击“隐藏”，保存设置。根据管子的走向，进行连线。



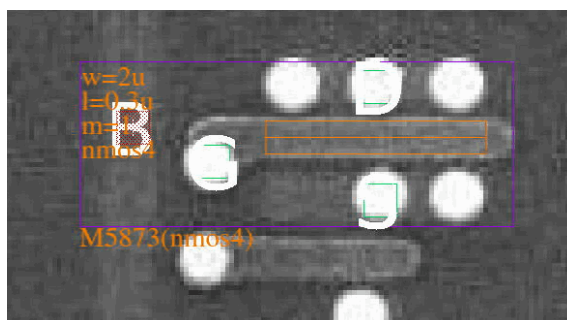
2、点击器件图标，框选器件区域

判断器件类型，点击相应的器件图标进行框选。在弹出的对话框中设置器件类型。



3、标注管脚，生成器件管脚

在视图上标注管脚，生成器件管脚。G 管对应 POLY 层，D、S 管对应 M1 或 DIFF 层，B 管对应 DIFF 层。



7.5. 模拟基本单元提取

详见 [8.4.基本单元提取](#)

7.6. 连线

详见 [4.30.连线](#)

7.7. 生成网表

详见 [4.31.生成线网](#)

7.8. 生成管脚

详见 [4.32.生成管脚](#)

7.9. ERC 电学规则检查

详见 [4.35.ERC 查错](#)

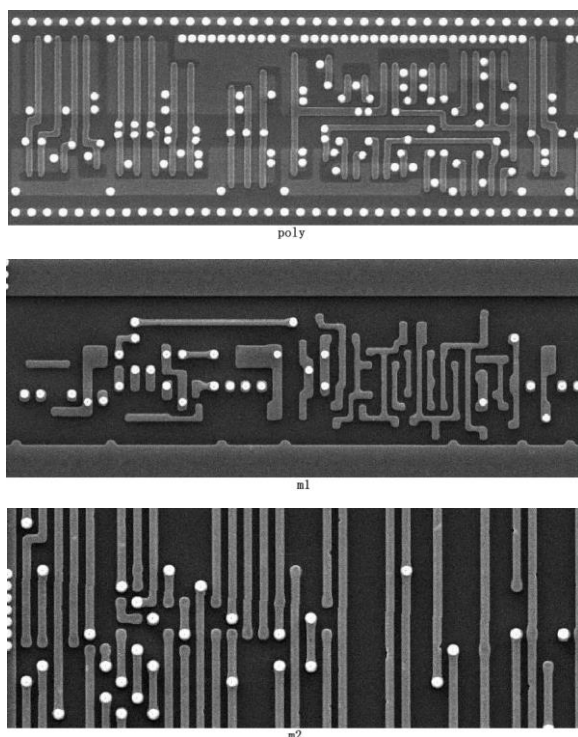
7.10. 导出原理图

详见 [4.37.导出原理图](#)

第八章 标准数字区提取工作流程

标准单元包括反相器、与门、寄存器、选择器、全加器等多种基本单元，每一个标准单元对应着多个不同尺寸、不同驱动能力的单元电路，而且不同驱动强度电路都是基本尺寸或最小尺寸的整数倍。

标准单元按照一定的规则进行设计，以便可以堆积在一起（像积木一样）形成逻辑电路。所有单元都是等高的矩形，或者高度是基本高度的整数倍，以确保电路设计阶段不会使用其他非常规的尺寸。电源线和地线一般位于单元的上下边界，以便于连接共享，减小芯片面积。



8.1. 创建项目

如果还未创建项目和顶层单元，可以参考 [6.1.创建新项目](#)、[6.2.绑定工程图像](#)和 [6.3.创建顶层单元](#)。

8.2. 项目参数设置

详见 [6.4.参数设置](#)和 [6.5.模拟器件设置](#)进行项目参数设置。

8.3. 划分工作区

8.3.1. 划分模块和任务

工作区对应芯片的一个指定区域，在工作区内用户可以进行线网绘制、单元提取、标注等网表提取工作。工作区之间允许任意重叠，各个工作区的数据完全独立。对一个模块应该创建不同的工作区，这些工作区均对应于该模块的区域，用来实现该模块不同数据提取阶段的任务。

对于一个两层金属工艺的芯片的标准数字区，可以按下表划分工作区和任务：

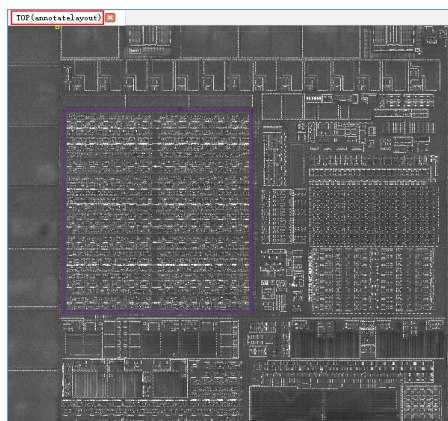
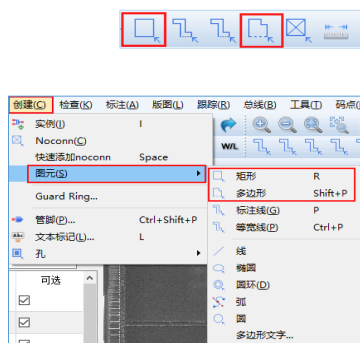
模块	工作区	任务
DG	DG_CELL	完成 DG 区域内单元摆块
	DG_M1	完成 DG 区域内 M1 线网的绘制
	DG_M2	完成 DG 区域内 M2 线网的绘制
	DG_M12	合并 DG_M1 和 DG_M2 的数据，并完成 Via1 通孔识别
	DG_NET	合并 DG_CELL 和 DG_M12 的数据，并完成单元引脚连线、模块 ERC 检查。本工作区数据可直接导出模块网表，也可同其它模块数据合并，得到更大模块网表。

表 12 工作区

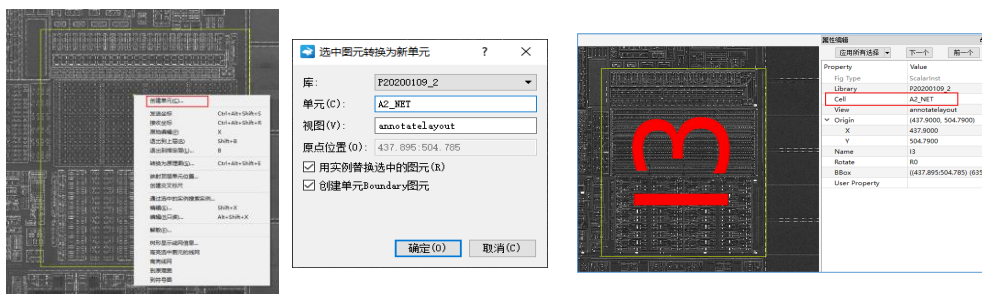
8.3.2. 划分工作区

在 BunnyGS 软件里，划分工作区通过创建新单元来实现。对于一个两层金属工艺的芯片，参照上表，依次对工作区 DG_CELL、DG_M1、DG_M2...创建新单元。

1、打开芯片背景图（工程图像）。在 prBoundary drawing 层，点击工具栏图标、快捷键 R 或菜单“创建→图元→矩形”用矩形框选区域。也可用多边形框选区域。



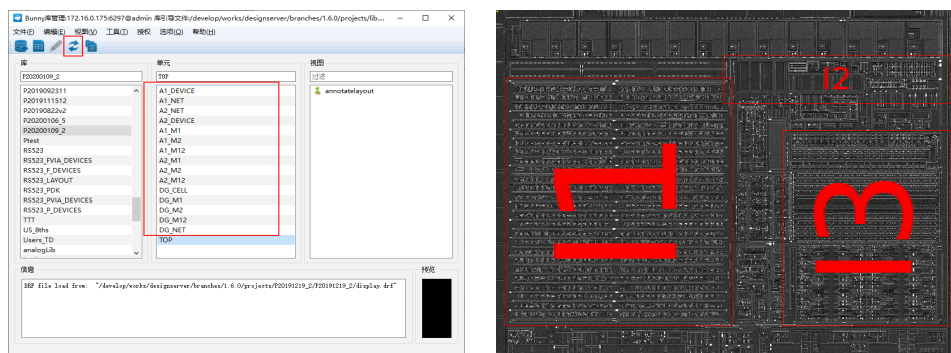
2、选中矩形边框，鼠标右键选择“创建单元”，弹出对话框，输入单元名称点击确定。
单元创建成功。



对如下参数含义作简要说明：

- 单元：输入新单元名称
- 用实例替换选中的图元：创建新单元的同时创建实例
- 创建单元 Boundary 图元：在新单元中创建 Boundary 图元

3、在“BunnyGS 库管理”界面，按工具栏图标  进行刷新，在“单元”列中可以看到新建的单元。继续框选区域并创建新单元，将该项目划分为多个工作区。



8.4. 基本单元提取

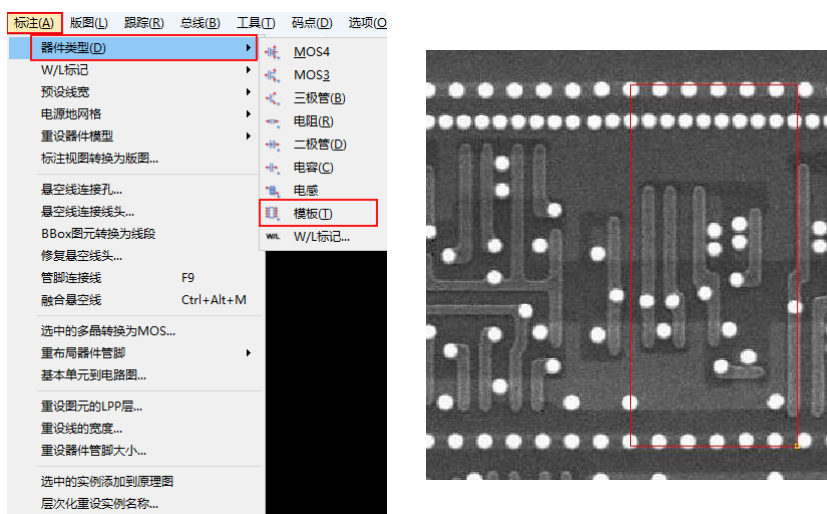
打开 DG_CELL 单元，建立单元模板并标注出管脚，再执行单元实例自动搜索程序。将

整个工作区的所有单元实例搜索出来，并对搜索出来的单元实例逐一透视检查。

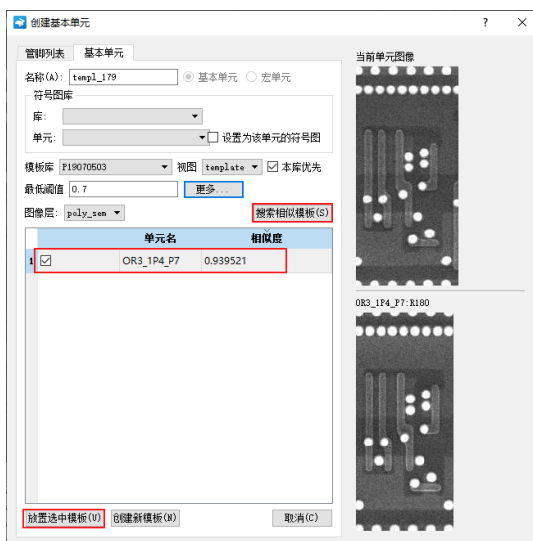
8.4.1. 创建单元模板

单元模板创建适用于数字电路，单元框大小一般参考 POLY 层，DIFF 层和 M1 层确定

1、打开 DG_CELL 单元，点击工具栏上的图标或执行菜单“标注→器件类型→模板”，框选要搜索的图像。

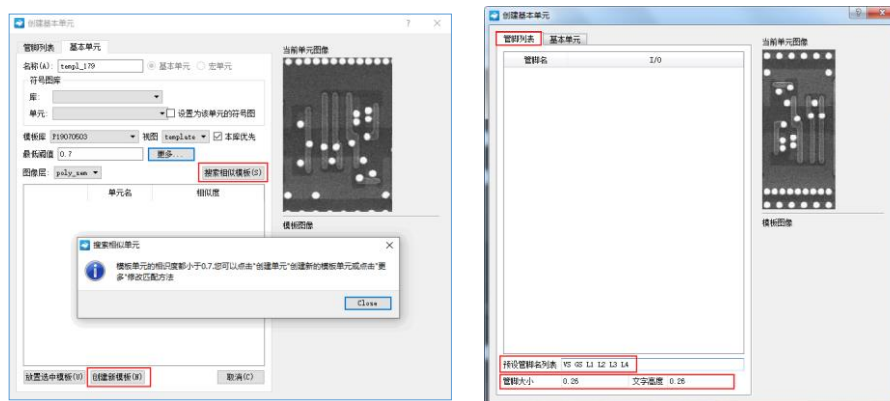


2、在弹出的窗口中选择“搜索相似模板”，看是否有相似的单元（防止同一个单元被创建多次）。如果有相同模板，则选择搜索到的模板，点击对话框左下角的“放置选中模板”，直接进行引用。可以根据图像的清晰度，调整“最低阈值”。

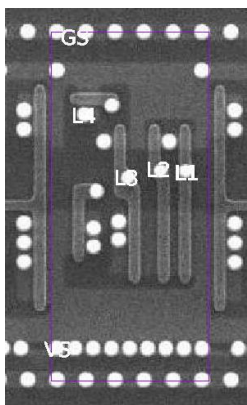


3、如果没有搜索到相似模板，则会弹出提示窗口，说明没有相同的单元实例，需要新创建一个单元模板。此时，需要点击“创建新模板”进行创建。创建新模板前，预设好管脚

名列表、管脚大小和字体高度等参数。

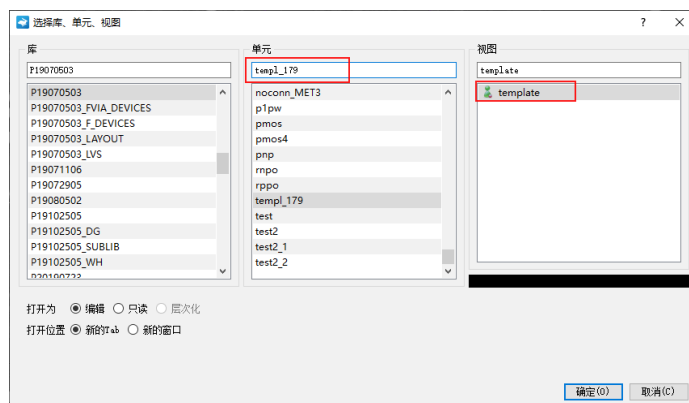


4、单击鼠标左键在视图上标注管脚。管脚的位置是 poly 孔或者有源区孔的对应应在 MET1 层的位置。用户可以通过切换 MET1 和 Poly 层，确定管脚的位置。完成管脚标注后，即可完成基本单元模板的创建。



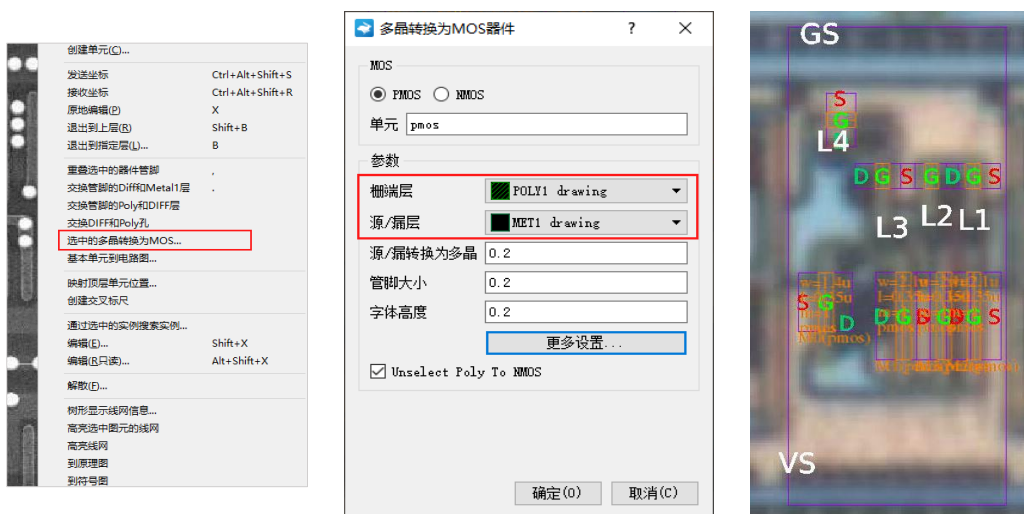
8.4.2. 提取单元模板

创建完单元模板，回到 BunnyGS 库管理界面，在单元库里可以看到以新建的单元模板，双击右边视图栏的 template 模板，进入工作区。



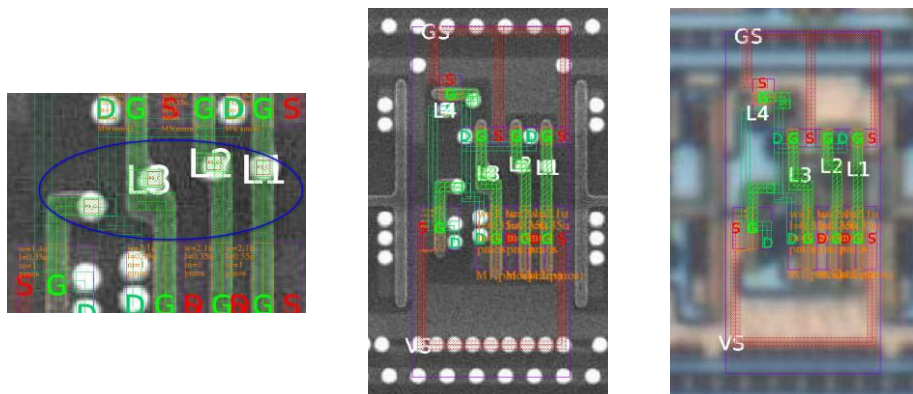
8.4.2.1. 绘制 MOS3 端器件

在 POLY 层用标尺量取 POLY 管的线宽 L 值，并保存。再将工程图像切换到 STAIN 或者 DIFF 层，用标尺测量出有源区的宽度 W 值。回到 POLY 层，按工具栏图标 ，将管子标注出来。之后，对该单元模板里的管子进行类型辨别，将所有的 P 管或者 N 管选中，鼠标右键“选中的多晶转换为 MOS”，选择 MOS 类型，并将栅端层对应 POLY1 Drawing；源/漏层对应 MET1 Drawing。自动生成 G、D、S 管脚。

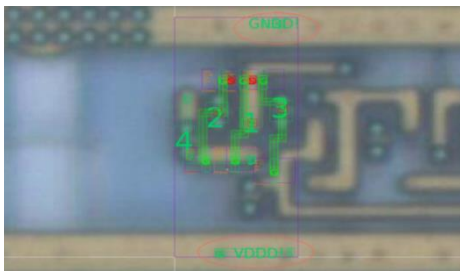
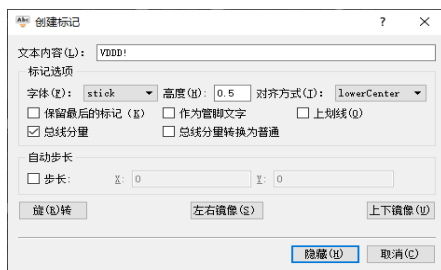


8.4.2.2. 绘制管脚连线

- 1、在 POLY 和 MET1 层的拐角处，添加 P1_C 孔。并将 POLY 层与 MET1 层的线进行连接。



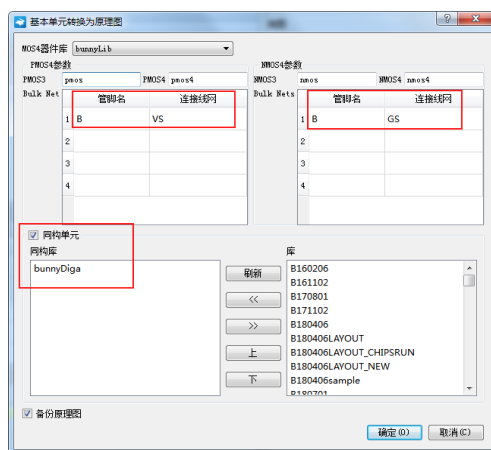
- 2、添加全局电源地管脚。点击工具栏图标 、按快捷键 L 或菜单“创建→文件标记”，标注电源线。



8.4.3. 生成基本单元原理图

在编辑完单元模板后，鼠标右键“基本单元到电路图”，将模板里的数据转化成原理图。

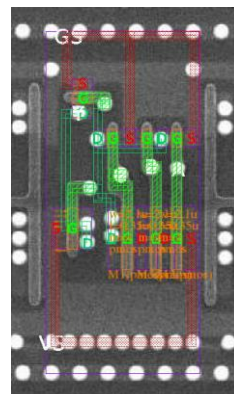
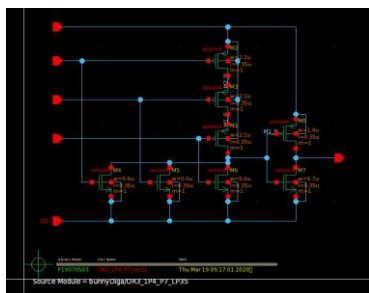
如果项目库里有原理图图像，则自动生成整理好的 Schematic 和 Symbol 图。



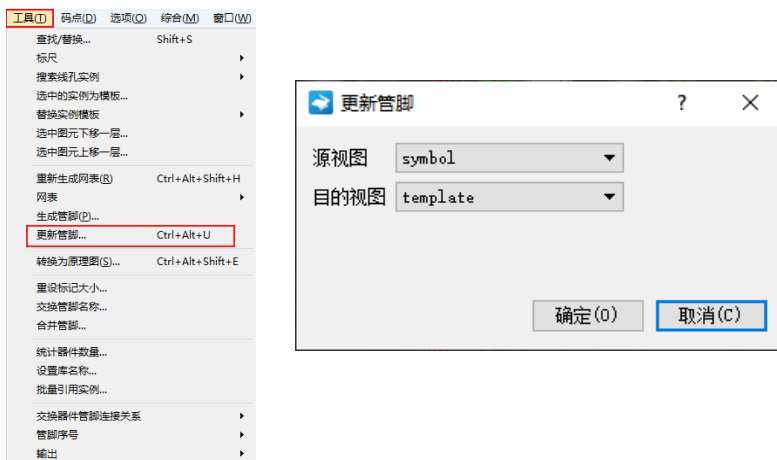
对如下参数含义作简要说明：

- Bulk Net: 设置器件管脚名和连接的线网
- 同构单元: 一般勾选
- 同构库: 同构单元所在的库，一般为 bunnyDiga

下图所示，bunnyDiga 项目库里有原理图图像时，自动生成整理好的 Schematic 和 Symbol 图，template 视图的预设管脚名 L1 ,L2,L3,L4 同步修改为同构单元的 A,B,C,Y 管脚。

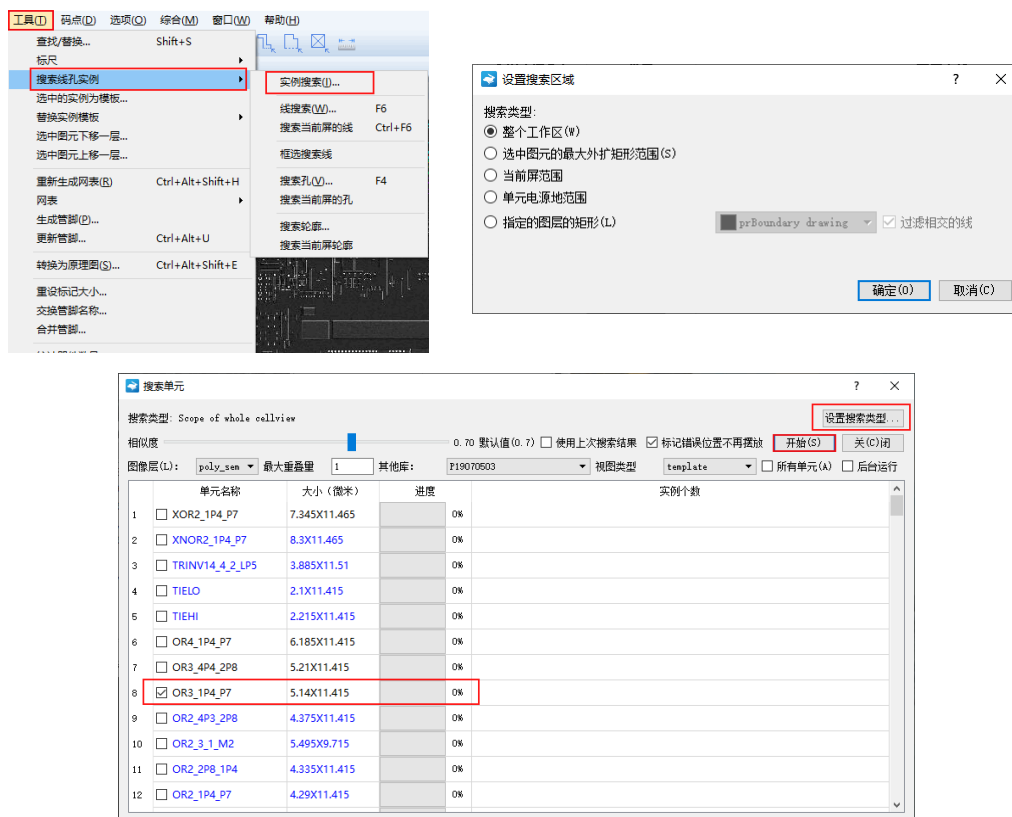


如果没有自动搜索出来，则需要人工整理，并通过菜单“工具→更新管脚”同步更新管脚。



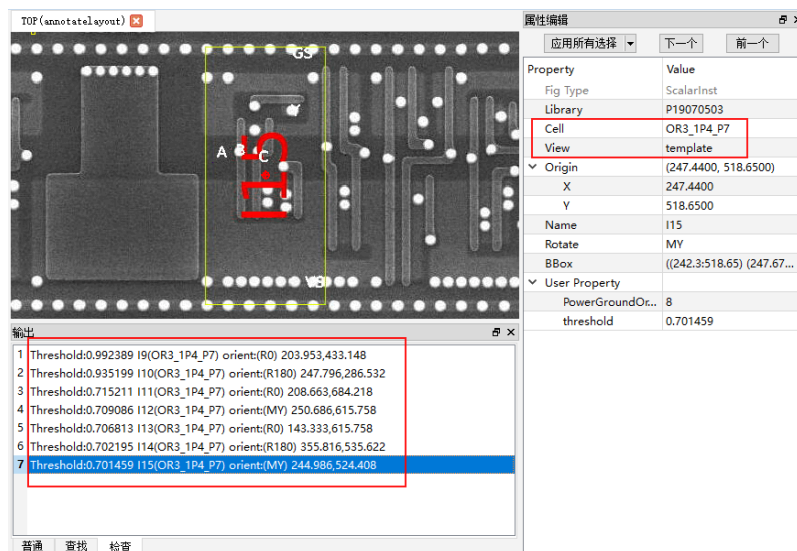
8.5. 单元实例自动搜索

打开 DG_CELL 单元，执行菜单“工具→搜索线孔实例→实例搜索”，弹出搜索实例的对话框，设置搜索范围，设置合适的相似度值，勾选要搜索的单元模板。点击“开始”，开始搜索实例。



在当前 TOP 的 annotatelayou 视图下，查看输出窗口显示：共有相同实例 7 个，搜索过程所花时间 47 秒。选中其中一个单元实例，在右边的属性栏中，可以查看当前的单元模板

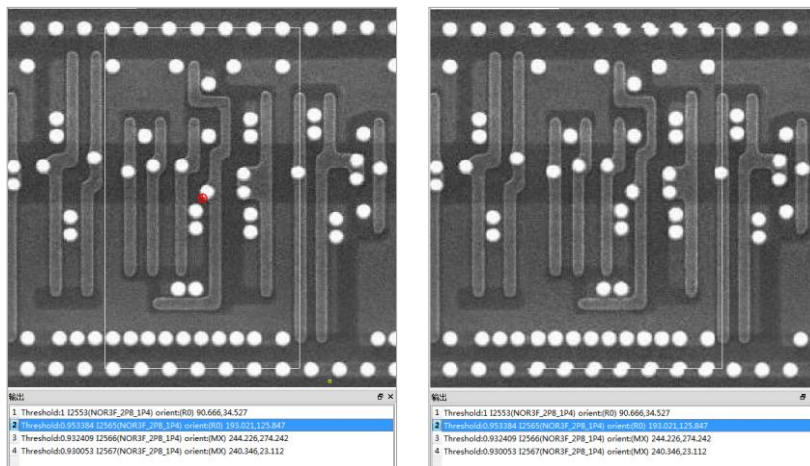
为 OR3_1P4_P7。



8.6. 单元透视，确认实例

单元自动搜索结束后，需要对搜索出来的单元进行逐个确认。在输出窗口，按 **Tab** 键逐个定位查看（按 **Shift+Tab** 键回上条），按快捷键 **T** 或执行菜单“**检查→实例透视确认**”逐层进行透视。

下图所示，左边是搜索出来的实例图像，右边是按 **T** 键后的原单元图像。



除了透视功能，软件还提供单元水平、垂直和旋转镜像的功能。当搜索出来的单元图像与原单元图像在管脚方向与连线方向有所偏差时，可以使用该功能进行调整。

- 按图标 ，逆时针旋转 90 度
- 按图标 ，顺时针旋转 90 度

- 按图标 , 关于 Y 轴的镜像
- 按图标 , 关于 X 轴的镜像

如果搜索出来的单元实例与原单元图像不一致, 按 “Delete” 键, 删除该实例。

8.7. 线孔提取

分别打开 DG_M1、DG_M2 单元进行线网的绘制。打开 DG_M12 单元, 合并 DG_M1 和 DG_M2 的数据, 并完成 VIA1 通孔识别。

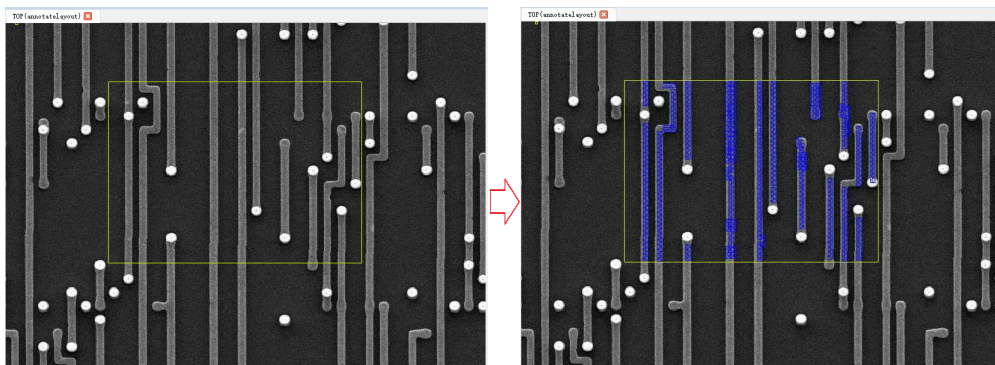
8.7.1. 线自动搜索

在执行线自动搜索前, 先选择标尺量取线宽。切换图像层, 选择 prBoundary drawing 层, 框选对象, 执行菜单 “工具→搜索线孔实例→线搜索”, 设置搜索范围, 设置对应的图像层和线网层。输入量取的线宽 L 值, 点击 “开始” 自动搜索线。



对如下参数含义作简要说明:

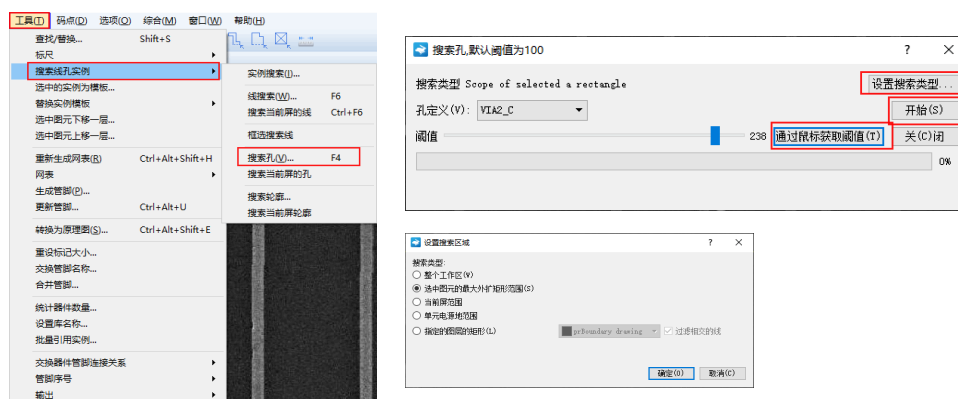
- 设置搜索类型: 点击 “设置搜索类型” 确定搜索范围, 包括 “整个工作区、选中图元的最大外扩矩形范围、当前屏范围、单元电源地范围、指定的图层的矩形”
- 图像层: 一般为 M2 层或者 M2 层以上图像层
- 布线层: 图像层对应的布线层, 参考 [6.4.1. 图层映射设置](#)
- 图像宽度: 根据标尺量取的线宽, 设置当前所在图像层的管子的线宽 L 值
- 方法 1、方法 2: 不同的搜索算法, 适用于不同的图像



在导航标签页，点击刷新按钮，可以查看到新生成的线网。

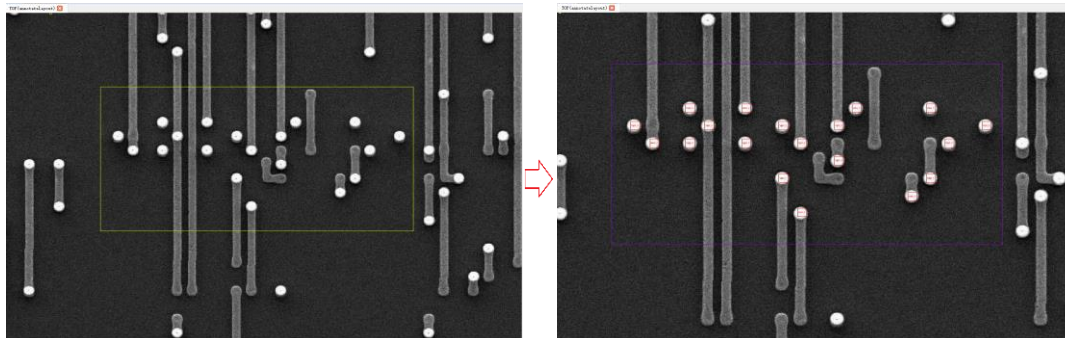
8.7.2. 孔自动搜索

选择 prBoundary drawing 层，按快捷键 **F4** 或执行菜单“工具→搜索线孔实例→搜索孔”弹出对话框，点击“开始”，自动搜索孔。



对如下参数含义作简要说明：

- 设置搜索类型：点击“设置搜索类型”确定搜索范围，包括“整个工作区、选中图元的最小外扩矩形范围、当前屏范围、单元电源地范围、指定的图层的矩形”
- 孔定义：下拉，选择孔定义
- 通过鼠标获取阈值：将鼠标所在光标移到孔上，选取孔的亮度值



自动搜索矩形范围内的 VIA2_C 孔

在导航标签页，点击刷新按钮，可以查看到新生成的孔。

8.8. 工作区合并与解散

对于一个两层金属工艺的芯片，划分了多个工作区，详见 [8.3.划分工作区](#)。在工作区数据提取任务完成后，需要将各个工作区合并。在 BunnyGS 软件里，工作区合并就是创建实例，将单元引用到上层单元的过程，包括如下步骤：

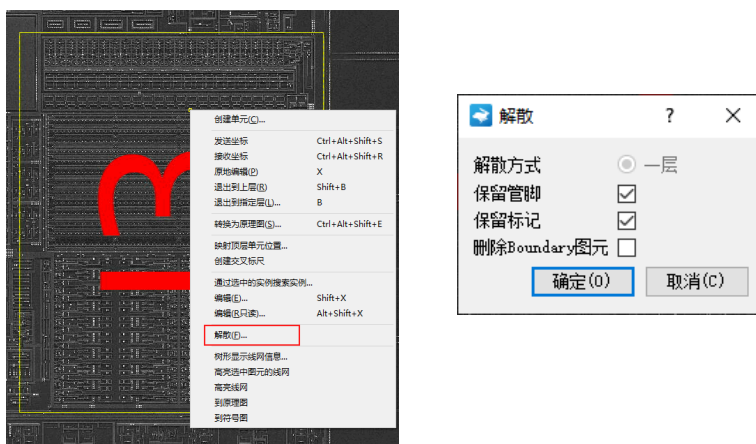
1、点击工具栏按钮、按快捷键 **I** 或执行菜单“**创建→实例**”，弹出创建实例的对话框，点击“**浏览**”选择对应的子模块。点击“**原地放置**”则可以将这个单元摆放到图像的对应位置。



对如下参数含义作简要说明：

- 浏览：浏览单元视图，选择需合并的单元，即工作区
- 原地放置：点击“原地放置”，软件自动将这个单元摆放到图像的对应位置。
- 隐藏：点击“隐藏”，需在图像上找对应的位置，再点击左键放下

2、将各个模块引用到本单元后，需要将子模块解散。选中模块，鼠标右键选择“**解散**”。



8.9. 生成网表

详见 [4.31.生成线网](#)

8.10. 生成管脚

详见 [4.32.生成管脚](#)

8.11. ERC 电学规则检查

详见 [4.35.ERC 查错](#)

8.12. 导出原理图

详见 [4.37.导出原理图](#)

第九章 电路层次化整理

电路整理主要是将平台化、散的器件和基本门整理出层次化的、功能明确方便浏览的电路。为了确保整理的正确性，在整理过程中就必须保证线网关系不变、标注视图和电路的交叉定位、器件的查找、线网的着重标识等。芯联成采用自底向上的方式，从小单元逐步整理。自主研发的 BunnyGS 软件可以快速、方便、高效、正确地将平台化数据整理出层次化。详见电路整理手册 [HierarchyAssistantCN.pdf](#)。

BunnyGS 将层次化整理和编辑电路视图集成在一起，通过打开方式确定。层次化整理模式下可以保证线网关系不变，普通编辑模式下不保证线网关系。可以进行飞线显示、高亮线网、交叉定位、搜索相似模块等操作。

第十章 工作区数据导出

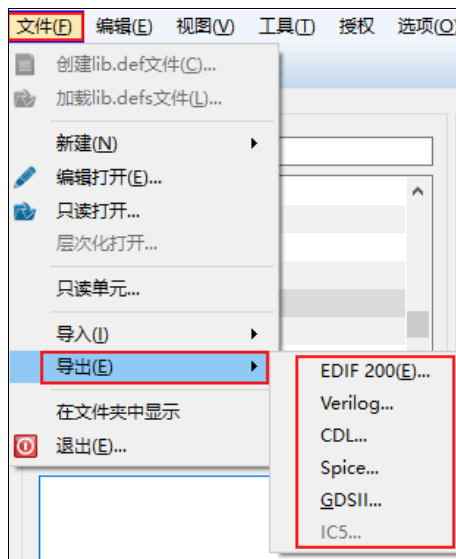
BunnyGS 软件提供工作区的数据导出功能，这是一种指定处理文件格式的功能。支持 Edif200、Verilog、CDL、Spice 格式的数据导出。各个功能模块的网表提取完成后，可以导出网表到 Synopsys、Cadences 等正向设计软件中进行再设计。

平台支持：Linux 或 Windows 系统

Linux 系统：/bin/linux/opt/edifout

Windows 系统：/bin/win64/opt/edifout.exe

程序都是带参数的脚本程序，可以使用脚本批量调用。



10.1. 导出 Verilog

点击“BunnyGS 库管理界面”的菜单“文件→导出→Verilog”或电路视图的菜单“文件→导出→Verilog”，弹出如下界面：

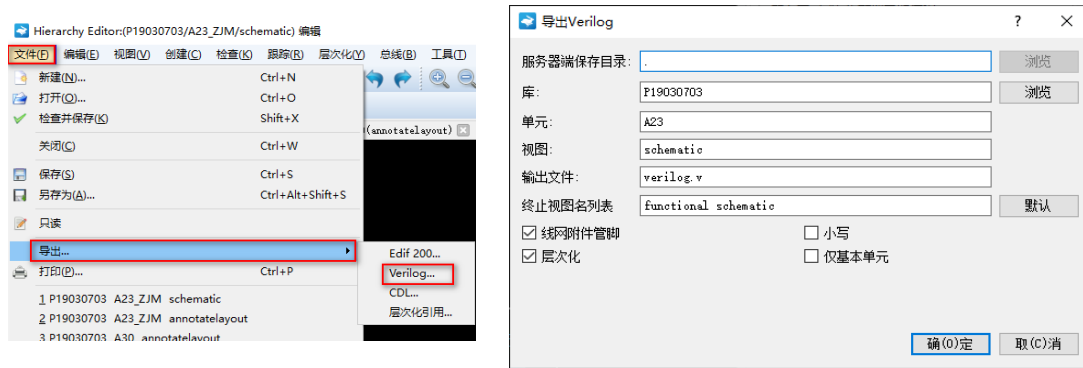


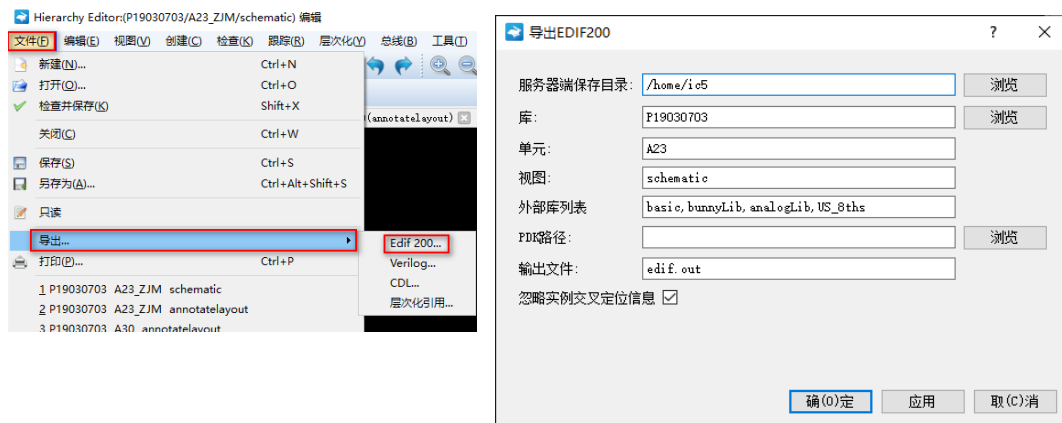
图 2 导出 Verilog

对如下参数含义作简要说明：

- 服务器端保存目录：文件保存目录，该目录必须是服务器端目录
- 小写：内容以小写字母表示
- 线网附件管脚：线网使用.NetName(termName)表示
- 层次化：导出整个单元的 Verilog 视图包括子电路
- 仅基本单元：只导出基本单元视图

10.2. 导出 Edif200

点击“BunnyGS 库管理界面”的菜单“文件→导出→EDIF 200”或电路视图的菜单“文件→导出→Edif 200”，弹出如下界面：



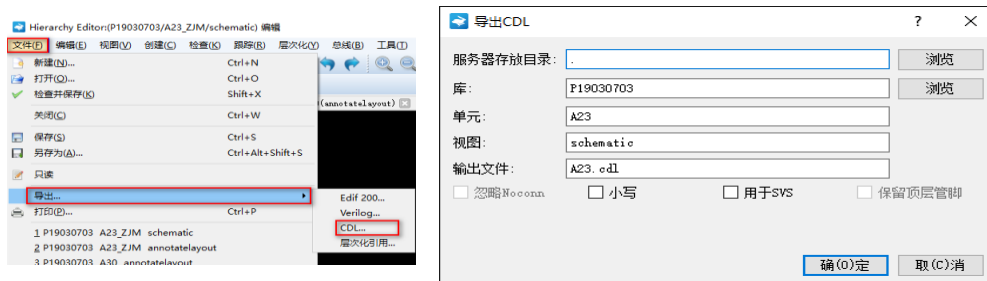
输入“服务器端保存目录”和“输出文件”名称，点击确定，导出 EDIF200 文件。

对如下参数含义作简要说明：

- 服务器端保存目录：文件保存目录，该目录必须是服务器端目录
- 外部库列表：外部库名称，需要将本库引用的器件库、基础库等库设置为外部库，否则在导入时，会覆盖掉这些库。常见的外部库有 basic, analogLib, bunnyLib 和 PDK。

10.3. 导出 CDL

点击“BunnyGS 库管理界面”的菜单“文件→导出→CDL”或电路视图的菜单“文件→导出→CDL”，弹出如下界面：

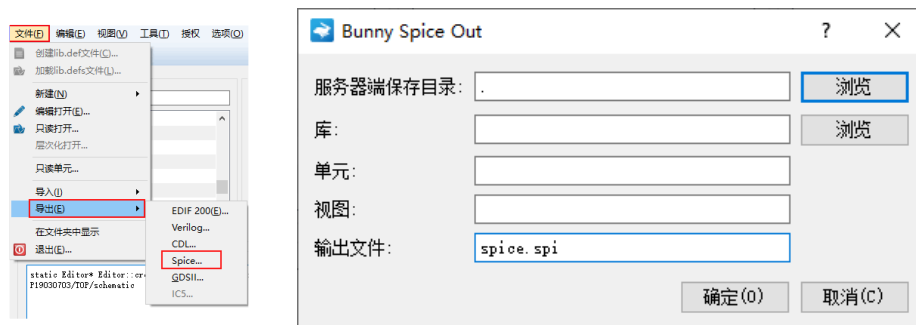


对如下参数含义作简要说明：

- 服务器存放目录：文件保存目录，该目录必须是服务器端目录
- 输出文件：导出的文件名称
- 小写：内容以小写字母表示
- 用于 SVS：实例名、单元名添加 SVS 前缀

10.4. 导出 Spice

点击“BunnyGS 库管理界面”的菜单“文件→导出→Spice”，弹出如下界面：

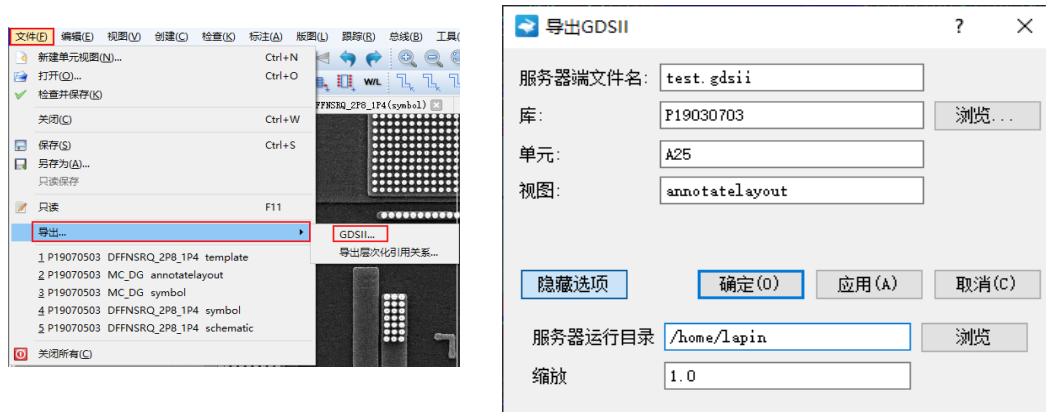


对如下参数含义作简要说明：

- 服务器端保存目录：文件保存目录，该目录必须是服务器端目录
- 输出文件：文件名称

10.5. 导出 GDSII

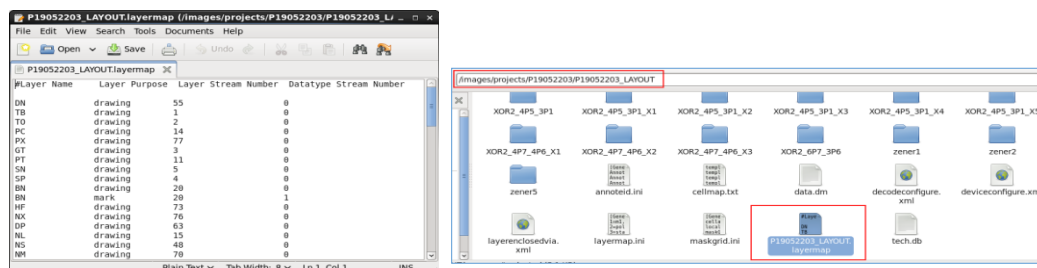
点击“BunnyGS 库管理界面”的菜单“文件→导出→GDSII”或标注视图的菜单“文件→导出→GDSII”，弹出如下界面：



对如下参数含义作简要说明：

- 服务器端文件名：导出的 GDSII 文件名称
- 服务器运行目录：文件保存目录，该目录必须是服务器端目录
- 缩放：数据坐标放大倍数

如果需修改对应的 streamid，可以在项目指定目录下（如下图所示）创建一个形如“项目名_LAYOUT.layermap”的 layermap 文件。



***注：**详细信息请参考《BunnyGS 软件手册》